

日本国特許庁
JAPAN PATENT OFFICE

PCT/JP 2004/011832

23.08.2004

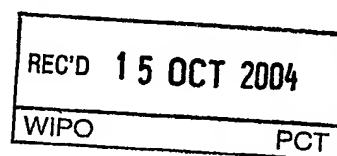
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 8月21日

出願番号
Application Number: 特願2003-208165
[ST. 10/C]: [JP 2003-208165]

出願人
Applicant(s): TDK株式会社

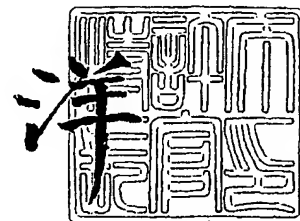


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 9月30日

特許庁長官
Commissioner,
Japan Patent Office

小川



出証番号 出証特2004-3087420

【書類名】 特許願

【整理番号】 99P05580

【提出日】 平成15年 8月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 T D K株式会社
内

【氏名】 原谷 進

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 T D K株式会社
内

【氏名】 古賀 啓治

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 T D K株式会社
内

【氏名】 江▲崎▼ 城一朗

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 T D K株式会社

【代表者】 澤部 肇

【代理人】

【識別番号】 100104787

【弁理士】

【氏名又は名称】 酒井 伸司

【手数料の表示】

【予納台帳番号】 053992

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気記憶セルおよび磁気メモリデバイス

【特許請求の範囲】

【請求項 1】 磁界を発生させる 1 以上の導線によって貫かれる環状磁性層と、前記環状磁性層における前記磁界によって磁化方向が変化する第 1 の感磁層および当該第 1 の感磁層の表面に配設された磁気抵抗効果発現体を含んで積層面に垂直な方向に電流が流れるように構成された積層体とを備え、

前記第 1 の感磁層は、その厚みが 0.5 nm 以上 40 nm 以下の範囲内に規定されている磁気記憶セル。

【請求項 2】 磁界を発生させる 1 以上の導線によって貫かれる環状磁性層と、前記環状磁性層における前記磁界によって磁化方向が変化する第 1 の感磁層および当該第 1 の感磁層の表面に配設された磁気抵抗効果発現体を含んで積層面に垂直な方向に電流が流れるように構成された積層体とをそれぞれ有する複数の記憶素子を備え、

前記複数の環状磁性層は、互いの軸方向を一致させて並設されると共に各々の所定部位を互いに共有して構成され、

前記複数の第 1 の感磁層は、前記各軸を含む面に対して同一側に配設されると共に、その厚みが 0.5 nm 以上 40 nm 以下の範囲内に規定されている磁気記憶セル。

【請求項 3】 前記複数の第 1 の感磁層は、前記磁界によって互いに反平行の向きで磁化される請求項 2 記載の磁気記憶セル。

【請求項 4】 前記第 1 の感磁層は、その厚みが 0.5 nm 以上 30 nm 以下の範囲内に規定されている請求項 1 から 3 のいずれかに記載の磁気記憶セル。

【請求項 5】 前記環状磁性層は複数の前記導線によって貫かれ、当該複数の導線は、前記環状磁性層を貫く領域において互いに平行に延在している請求項 1 から 4 のいずれかに記載の磁気記憶セル。

【請求項 6】 前記積層体は、前記第 1 の感磁層と互いに磁氣的に交換結合可能な第 2 の感磁層を含んで構成されている請求項 1 から 5 のいずれかに記載の磁気記憶セル。

【請求項 7】 前記積層体は、非磁性層と、当該非磁性層の一面側に積層されて磁化方向の固定された第 1 の磁性層と、前記非磁性層の他面側に積層されて前記第 2 の感磁層として機能する第 2 の磁性層とを備えて構成され、

前記積層体を流れる前記電流に基づいて情報が検出可能に構成されている請求項 6 記載の磁気記憶セル。

【請求項 8】 前記第 1 の磁性層は、前記第 2 の磁性層よりも保磁力の大きな材料を用いて形成されている請求項 7 記載の磁気記憶セル。

【請求項 9】 請求項 1 から 8 のいずれかに記載の磁気記憶セルと、
前記導線としての書込線と、
前記積層体に前記電流を供給する読出線とを備えている磁気メモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、磁気抵抗効果発現体を含む磁気記憶セル、並びに複数の磁気記憶セルを備えて情報の記録および読出が可能に構成された磁気メモリデバイスに関するものである。

【0002】

【従来の技術】

この種の磁気記憶セルを利用した磁気メモリデバイスとして、磁気ランダムアクセスメモリ（以下、「MRAM; Magnetic random access memory」ともいう。）が知られている。このMRAMでは、磁気抵抗効果素子に含まれる 2 つの強磁性体における磁化方向の組み合わせ（平行または反平行）を利用して情報を記憶する。一方、記憶情報の読み出しは、2 つの強磁性体の磁化方向が平行であるときと反平行であるときとで異なる磁気抵抗効果素子の抵抗値変化（すなわち、電流あるいは電圧の変化）を検知することによって行われる。

【0003】

現在実用化されているMRAMは、巨大磁気抵抗（GMR; Giant magneto-resistive）効果を利用したものである。このGMR効果が得られるGMR素子を利用したMRAMとしては、米国特許第 5 3 4 3 4 2 2 号に開示されたものが知

られている。この場合、GMR効果とは、磁化容易軸方向に沿った平行な2つの磁性層における磁化方向が、互いに平行であるときに抵抗値が最小値となり、反平行のときに最大値となる現象を意味する。このGMR素子を用いたMRAMとしては、保磁力差型（擬似スピバルブ型；Pseudo spin valve 型）と、交換バイアス型（スピバルブ；spin valve型）とが存在する。保磁力差型のMRAMは、GMR素子が2つの強磁性層とそれらの間に挟まれた非磁性層とを有し、2つの強磁性体の保磁力差を利用して情報の書込みおよび読出しを行うものである。ここで、GMR素子が、例えば「ニッケル鉄合金（NiFe）／銅（Cu）／コバルト（Co）」の構成を有するときの抵抗変化率は、6～8％程度の小さな値である。一方、交換バイアス型のMRAMは、GMR素子が、反強磁性層との交換結合によって磁化方向が固定された固定層と、外部磁界によって磁化方向が変化する感磁層と、それらの間に挟まれた非磁性層とを有し、固定層と感磁層との磁化方向の違いを利用して情報の書込みおよび読出しを行うものである。例えば、GMR素子の構成を「白金マンガン（PtMn）／コバルト鉄（CoFe）／銅（Cu）／CoFe」としたときの抵抗変化率は10％程度であり保磁力差型よりも大きな値を示すが、さらなる記憶速度向上やアクセス速度向上を達成するには不十分である。

【0004】

これらの点を解決するために、トンネル磁気抵抗効果（以下、「TMR効果」ともいう。）を利用した図14に示す構成の磁気抵抗効果素子（本明細書では「記憶素子」ともいう）120を磁気記憶セルとして使用したMRAMが提案されている。このMRAMは、図15に示すように、互いに平行に配設された複数のビット線105と、互いに平行に配設されると共に各ビット線105と直交するように配設された複数の書込ワード線106と、各書込ワード線106に沿って配設された複数の読出ワード線112と、ビット線105と書込ワード線106との直交部分（交差部分）に挟まれるようにして配設された複数の記憶素子120とを備えている。この場合、記憶素子120は、図14に示すように、第1の磁性層102、トンネルバリア層103および第2の磁性層としての感磁層104を備え、これらの各層102、103、104がこの順に積層されて構成され

ている。

【0005】

なお、TMR効果とは、極薄の絶縁層（非磁性導電層）としてのトンネルバリア層103を挟んだ強磁性層としての2つの第1の磁性層102および感磁層104間における磁化方向の相対角度によってトンネルバリア層103を通過して流れるトンネル電流が変化するという効果である。この場合、第1の磁性層102および感磁層104の各磁化方向が、互いに平行なときに抵抗値が最小となり、互いに反平行のときに最大となる。また、TMR効果を利用したMRAMでは、記憶素子120が、例えば「CoFe／アルミニウム酸化物／CoFe」という構成の場合、抵抗変化率が40%程度と高く、また、抵抗値も大きいため、MOSFET等の半導体デバイスと組み合わせたときのマッチングが取り易い。このため、GMR素子を有するMRAMと比較して、より高い出力を容易に得ることができ、記憶容量やアクセス速度の向上が期待されている。このTMR効果を利用したMRAMでは、図14に示すビット線105と書込ワード線106に電流を流すことによって発生する電流磁界により、記憶素子120における感磁層104の磁化方向を所定の変化する方向に変化させて情報を記憶する。一方、記憶情報を読み出す際には、ビット線105と読出ワード線112とを介してトンネルバリア層103に対して垂直な方向の電流を記憶素子120に流して、記憶素子120の抵抗変化を検出する。なお、TMR効果を用いたMRAMに関しては、米国特許第5629922号あるいは特開平9-91949号公報などに開示されている。

【0006】

【特許文献1】

米国特許第5343422号明細書

【特許文献2】

米国特許第5629922号明細書

【特許文献3】

特開平9-91949号公報

【0007】

【発明が解決しようとする課題】

ところが、このTMR効果を利用した記憶素子を用いたMRAMには、以下の問題点が存在する。すなわち、このMRAMでは、直交配置されたビット線105と書込ワード線106を流れる電流による誘導磁界（つまり、電流磁界）によって感磁層104の磁化方向を変えて、記憶セルとしての各記憶素子120に情報を記憶させている。しかしながら、この電流磁界がオープンな（磁氣的に特定の領域に閉じ込められていない）磁界であることに起因して漏れ磁束が多い結果、このMRAMには、書込効率が低いという問題点がある。同時に、この漏れ磁束に起因して隣接する記憶素子120に対して悪影響を与えるおそれがあるという問題点も存在する。

【0008】

また、記憶素子120をより高集積化してMRAMのさらなる高密度化を図るためには、記憶素子120を微小化させる必要がある。一方、微少化した場合、記憶素子120における各磁性層102、104の積層面内方向の幅に対する厚みの比（アスペクト比＝厚み／積層面内方向の幅）が大きくなることに起因して反磁界が増大する結果、感磁層の磁化方向を変えるために必要とされる磁界強度が増大する。また、上述したように、ビット線105と書込ワード線106とを流れる電流による電流磁界がオープンな磁界のため、書込効率が低くなる。これらの結果、このMRAMには、感磁層の磁化方向を変えて情報を記録する際に、大きな書込電流を流す必要が生じるという問題点も存在する。

【0009】

この問題点に関して、発明者は、図3および図4（a）に示すような構造を備えた磁気記憶セル1を開発している。この磁気記憶セル（以下、「記憶セル」ともいう）1は、一対の記憶素子1a、1bを備えている。ここで、各記憶素子1a、1bは、磁界を発生させる1以上の導線（書込ビット線5aと書込ワード線6、書込ビット線5bと書込ワード線6）によって貫かれる環状磁性層4a、4bと、環状磁性層4a、4bにおける磁界によって磁化方向が変化する第1の感磁層14a、14bおよび第1の感磁層14a、14bの表面に配設された磁気抵抗効果発現体20a、20bを含んで積層面に垂直な方向に電流が流れるよう

に構成されたTMR膜（積層体）S20a, S20bとをそれぞれ有している。この場合、各TMR膜S20a, S20bは、第2の磁性層（第2の感磁層）8a, 8bを含む複数の層が積層されて構成されている。また、各環状磁性層4a, 4bは、TMR膜S20a, S20bにおける積層面に沿った方向（同図中の紙面に対して直交する方向）を軸方向として配設されている。なお、各環状磁性層4a, 4bの各軸については、図4（a）中においてそれぞれ符号F, Gで示す。また、記憶セル1は、各環状磁性層4a, 4bが、互いの前述した軸方向を一致させて並設されると共に、互いを貫くそれぞれの導線（書込ビット線5aおよび書込ワード線6と、書込ビット線5bおよび書込ワード線6とで）で挟まれた各々の所定部位（共有部位34）を互いに共有するように構成されている。

【0010】

この構成を採用することにより、書込ビット線5a, 5bおよび書込ワード線6の双方に流れる電流によって書込ビット線5a, 5bおよび書込ワード線6の周囲に生じる磁束を各環状磁性層4a, 4bよりなる閉磁路内に閉じ込めることができるため、漏れ磁束の発生を低減することができる結果、隣接する記憶セルへの悪影響を大幅に低減することができると共に、書込効率を高めることができる。さらに、一对のTMR膜S20a, S20b、および書込ビット線5a（5b）と書込ワード線6とによって貫かれる一对の各環状磁性層4a, 4bをそれぞれ有する一对の記憶素子1a, 1bを備えて記憶セル1を構成すると共に、一对の記憶素子1a, 1bが各環状磁性層4a, 4bの一部（共有部位34）を互いに共有する構成としたことにより、環状磁性層の一部を互いに共有せずに別々に設けた記憶セルと比較して、各環状磁性層4a, 4bの共有部位34内における磁束密度を増大させることができる結果、各環状磁性層4a, 4b内の各還流磁界16a, 16b（図4（b）参照）の強度を増強することができる。したがって、漏れ磁束の発生が少ないことと相俟って、より小さな書込電流によって第2の磁性層8a, 8bの磁化反転を行うことができる。ここで、書込電流とは、感磁層（8aと14a、8bと14b）の磁化方向を反転させるために必要な電流をいう。なお、例えば図4における1つの磁気抵抗効果発現体20aと、同図中における1つの環状磁性層4aとを有する記憶素子（例えば図4における記憶

素子 1 a) を備え、一つの環状磁性層 4 a と一つの磁気抵抗効果発現体 20 a とによって 1 ビットの情報を記憶する記憶セルにおいても、書込ビット線 5 a, 5 b および書込ワード線 6 の双方に流れる電流によって書込ビット線 5 a, 5 b および書込ワード線 6 の周囲に生じる磁束を環状磁性層 4 a よりなる閉磁路内に閉じこめることができるため、漏れ磁束の発生を低減することができる結果、隣接する記憶セルへの悪影響を大幅に低減することができると共に、書込効率を高めることができる。また、3 つ以上の環状磁性層 4 a と、その各環状磁性層 4 a にそれぞれ設けられた磁気抵抗効果発現体 20 a とによって 1 ビットの情報を記憶する記憶セルについても同様である。

【0011】

ところで、このように一对の環状磁性層 4 a, 4 b が各々の一部を共有する構成の記憶セル 1 では、感磁層 (8 a と 14 a、8 b と 14 b) の磁化方向を反転させる際に、一方の環状磁性層 4 a を貫通する書込ビット線 5 a および書込ワード線 6 と、他方の環状磁性層 4 b を貫通する書込ビット線 5 b および書込ワード線 6 とにそれぞれ書込電流を供給する構成のため、各記憶素子 1 a, 1 b を完全な同一構造に構成することが製造上困難であることと相俟って、記憶素子 1 a 側 (書込ビット線 5 a および書込ワード線 6) に供給する書込電流の合計値と、記憶素子 1 b 側 (書込ビット線 5 b および書込ワード線 6) に供給する書込電流の合計値との間の電流差が大きくなり易いという傾向がある。この場合、書込電流の合計値が小さくてもよい記憶素子側にも、他方の記憶素子に供給するのと同じ電流値の書込電流 (大きな書込電流) を供給せざるを得ないために、記憶セル 1 に対して必要以上に大きな書込電流を供給することとなって、書込効率が低下する。

【0012】

この点に関して、発明者は、書込電流を一層低減させるために、この記憶セル 1 に関して鋭意研究に努めた結果、第 1 の感磁層 14 a, 14 b (図 4 (a) 参照) の厚みと書込電流の電流値との間に一定の関係が成り立つことを見出すと共に、この関係に基づいて各第 1 の感磁層 14 a, 14 b の厚みを規定することにより、書込電流を低減させ得ることを見出した。

【0013】

本発明は、かかる要望に鑑みてなされたものであり、少ない電流で効率良く感磁層の磁化方向を変え得る磁気記憶セルおよび磁気メモリデバイスを提供することを主目的とする。

【0014】

【課題を解決するための手段】

上記目的を達成すべく本発明に係る磁気記憶セルは、磁界を発生させる1以上の導線によって貫かれる環状磁性層と、前記環状磁性層における前記磁界によって磁化方向が変化する第1の感磁層および当該第1の感磁層の表面に配設された磁気抵抗効果発現体を含んで積層面に垂直な方向に電流が流れるように構成された積層体とを備え、前記第1の感磁層は、その厚みが0.5nm以上40nm以下の範囲内に規定されている。ここで、本明細書における「磁界」とは、導線に流れる電流によって生じる磁界、または、環状磁性層に生じる還流磁界を意味する。また、「環状磁性層」の「環状」とは、内部を貫く導線からみたときに、それぞれの周囲を磁気的かつ電気的に連続して完全に取り込み、その導線を横切る方向の断面が閉じている状態を意味する。したがって、環状磁性層は、磁気的かつ電気的に連続である限りにおいて絶縁体が含有されることを許容する。すなわち、電流が流れないような絶縁体は含まないものの、例えば製造工程において発生する程度の酸化膜は含んでもよい。また、「磁気抵抗効果発現体」とは、磁気抵抗効果を発現する部位（または物体）を意味する。

【0015】

また、本発明に係る磁気記憶セルは、磁界を発生させる1以上の導線によって貫かれる環状磁性層と、前記環状磁性層における前記磁界によって磁化方向が変化する第1の感磁層および当該第1の感磁層の表面に配設された磁気抵抗効果発現体を含んで積層面に垂直な方向に電流が流れるように構成された積層体とをそれぞれ有する複数の磁気抵抗効果素子を備え、前記複数の環状磁性層は、互いの軸方向を一致させて並設されると共に各々の所定部位を互いに共有して構成され、前記複数の第1の感磁層は、前記各軸を含む面に対して同一側に配設されると共に、その厚みが0.5nm以上40nm以下の範囲内に規定されている。ここ

で、本明細書における「軸方向」とは、この環状磁性層単体に注目したときの環状磁性層の軸に平行な方向、言い換えれば環状磁性層の開口方向、すなわち内部を貫く導線の延在方向を意味する。また、「共有」とは、一对の環状磁性層が、互いに電気的および磁氣的に連続した状態を意味する。

【0016】

この場合、前記磁界によって互いに反平行の向きで磁化されるように前記複数の第1の感磁層を構成するのが好ましい。ここで、本発明における「互いに反平行」とは、互いの磁化方向、すなわち、各磁性層内の平均の磁化方向のなす相対角度が、厳密に180度である場合のほか、製造上生じる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して180度から所定角度だけ外れている場合も含む。

【0017】

また、0.5nm以上30nm以下の範囲内となるように前記第1の感磁層の厚みを規定するのが好ましい。

【0018】

さらに、前記環状磁性層が複数の前記導線によって貫かれ、当該複数の導線が、前記環状磁性層を貫く領域において互いに平行に延在しているのが好ましい。

【0019】

また、前記第1の感磁層と互いに磁氣的に交換結合可能な第2の感磁層を含んで前記積層体を構成するのが好ましい。

【0020】

さらに、非磁性層と、当該非磁性層の一面側に積層されて磁化方向の固定された第1の磁性層と、前記非磁性層の他面側に積層されて前記第2の感磁層として機能する第2の磁性層とを備えて前記積層体を構成し、前記積層体を流れる前記電流に基づいて情報が検出可能に構成するのが好ましい。ここで、本発明における「情報」とは、一般に磁気メモリデバイスへの入出力信号において「0」，「1」あるいは電流値や電圧値による「High」，「Low」等で表される2値情報をいう。

【0021】

また、前記第2の磁性層よりも保磁力の大きな材料を用いて前記第1の磁性層を形成するのが好ましい。

【0022】

また、本発明に係る磁気メモリデバイスは、上記の磁気記憶セルと、前記導線としての書込線と、前記積層体に前記電流を供給する読出線とを備えている。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0024】

まず、図1～図7を参照して本実施の形態に係る磁気メモリデバイスMの構成について説明する。

【0025】

図1に示すように、磁気メモリデバイスMは、アドレスバッファ51、データバッファ52、制御ロジック部53、記憶セル群54、第1の駆動制御回路部56および第2の駆動制御回路部58を備えている。

【0026】

アドレスバッファ51は、外部アドレス入力端子A0～A20を備え、この外部アドレス入力端子A0～A20から取り込んだアドレス信号を、Y方向アドレス線57を介して第1の駆動制御回路部56に出力すると共に、X方向アドレス線55を介して第2の駆動制御回路部58に出力する。

【0027】

データバッファ52は、外部データ端子D0～D7、入力バッファ52Aおよび出力バッファ52Bを備えている。また、データバッファ52は、制御信号線53Aを介して制御ロジック部53に接続されている。この場合、入力バッファ52Aは、X方向書込用データバス60を介して第2の駆動制御回路部58に接続され、Y方向書込用データバス61を介して第1の駆動制御回路部56に接続されている。一方、出力バッファ52Bは、Y方向読出用データバス62を介して第1の駆動制御回路部56に接続されている。また、入力バッファ52Aおよび出力バッファ52Bは、制御ロジック部53から制御信号線53Aを介して入

力した制御信号に従って作動する。

【0028】

制御ロジック部53は、入力端子CSおよび入力端子WEを備え、データバッファ52、第1の駆動制御回路部56および第2の駆動制御回路部58の動作を制御する。具体的には、この制御ロジック部53は、入力端子CSを介して入力したチップセレクト信号、および入力端子WEを介して入力した書込許可信号に基づいて、入力バッファ52Aおよび出力バッファ52Bのいずれをアクティブにするか否かを決定すると共に、この決定に従って入力バッファ52Aおよび出力バッファ52Bを作動させるための制御信号を生成して制御信号線53Aを介してデータバッファ52に出力する。また、制御ロジック部53は、チップセレクト信号および書込許可信号を各駆動回路部56、58において必要な電圧レベルまで増幅して出力する。

【0029】

記憶セル群54は、直交するワード線方向(X方向)およびビット線方向(Y方向)の各交差部位に磁気記憶セルとしての記憶セル1を多数配列したマトリックス構造を有している。この場合、記憶セル1は、磁気メモリデバイスMにおいてデータを記憶する最小単位であって、一对の記憶素子(トンネル磁気抵抗効果素子)を備えている。なお、記憶セル1については後に詳述する。

【0030】

第1の駆動制御回路部56は、Y方向アドレスデコーダ回路56A、センスアンプ回路56BおよびY方向カレントドライブ回路56Cを有している。一方、第2の駆動制御回路部58は、X方向アドレスデコーダ回路58A、定電流回路58BおよびX方向カレントドライブ回路58Cを有している。

【0031】

この場合、Y方向アドレスデコーダ回路56Aは、図7に示すように、Y方向アドレス線57を介して入力したアドレス信号に基づいてビットデコード線71(\dots , $71n$, $71n+1$, \dots)を選択する。一方、X方向アドレスデコーダ回路58Aは、同図に示すように、X方向アドレス線55を介して入力したアドレス信号に基づいてワードデコード線72(\dots , $72m$, $72m+1$

，・・・)を選択する。

【0032】

また、センスアンプ回路56Bおよび定電流回路58Bは、記憶セル群54に対する読出動作の際に作動する。この場合、センスアンプ回路56Bは、図7に示すように、各読出ビット線13a，13bを介して記憶セル群54に接続されて、読出動作の際に各読出ビット線13a，13bを流れる各読出電流を検出することによって各記憶セル1に記憶されている情報を読み出す。同様にして、定電流回路58Bは、同図に示すように、読出スイッチ83および読出ワード線12を介して記憶セル群54に接続されて、読出動作の際に各読出ビット線13a，13bを流れる読出電流（記憶セル1を流れる読出電流）の総電流値を一定に制御する。この場合、各読出ビット線13a，13bは、本発明における「読出線」に対応する。

【0033】

また、Y方向カレントドライブ回路56CおよびX方向カレントドライブ回路58Cは、記憶セル群54に対する書込動作の際に作動する。具体的には、Y方向カレントドライブ回路56Cは、図2に示すように、書込ビット線引出電極42および各書込ビット線5a，5b（以下、区別しないときには「書込ビット線5」ともいう）を介して記憶セル群54に接続されて、書込動作の際に書込ビット線5a，5bを介して記憶セル群54に書込電流を供給する。同様にして、X方向カレントドライブ回路58Cは、書込ワード線引出電極41および書込ワード線（本発明における「第1の書込線」）6を介して記憶セル群54に接続されて、書込動作の際に書込ワード線6を介して記憶セル群54に書込電流を供給する。この場合、Y方向カレントドライブ回路56Cは、一方に供給する書込電流の向きに対して、他方に供給する書込電流の向きが逆になるように各書込ビット線（本発明における「第2の書込線」）5a，5bに書込電流を供給する。また、書込ビット線5aと書込ワード線6、および書込ビット線5bと書込ワード線6は、本発明における「導線」に対応する。

【0034】

次に、磁気メモリデバイスMにおける情報書込動作に係わる構成について説明

する。

【0035】

図2は、記憶セル群54の書込動作に係わる要部の平面構成を表す概念図である。同図に示すように、磁気メモリデバイスMは、複数の書込ビット線5a、5bと、この複数の書込ビット線5a、5bとそれぞれ交差する複数の書込ワード線6とを含んでいる。この場合、書込ビット線5a、5bおよび書込ワード線6は、互いの交差する各領域において、互いに平行に延在する平行部分10が形成されて構成されている。この各平行部分10は、同図に示すように、書込ワード線6が矩形波状にX方向に延在する（言い換えれば、+Y方向に延在する部位と-Y方向に延在する部位とがX方向に延在する部位を介して交互に繰り返されるジグザグ形状に形成される）と共に各書込ビット線5a、5bがY方向に沿って直線状に延在し、かつ各書込ビット線5a、5bと、書込ワード線6における矩形波状の立ち上がり部分（+Y方向に延在する部位）および立ち下がり部分（-Y方向に延在する部位）とを近接させて平行状態に配設することで構成されている。

【0036】

また、各書込ビット線5a、5bの両端には、それぞれ書込ビット線引出電極42がそれぞれ設けられている。各書込ビット線引出電極42は、それぞれ一方（例えば同図中の上側の書込ビット線引出電極42）がY方向カレントドライブ回路56Cに接続され、他方（例えば同図中の下側の書込ビット線引出電極42）が最終的に接地されるように接続されている。同様にして、各書込ワード線6の両端には、それぞれ書込ワード線引出電極41が設けられ、各書込ワード線引出電極41は、それぞれ一方（例えば同図中の左側の書込ワード線引出電極41）がX方向カレントドライブ回路58Cに接続されると共に、他方（例えば同図中の右側の書込ワード線引出電極41）が最終的に接地されるように接続されている。

【0037】

各記憶セル1は、図2、3に示すように、環状磁性層4a、4b（両者で「環状磁性層4」ともいう）および一对の磁気抵抗効果発現体20a、20bを備え

ている。また、各記憶セル 1 は、書込ワード線 6 における立ち上がり部分に対応する平行部分 10、および当該平行部分 10 に隣接する書込ワード線 6 における立ち下がり部分に対応する平行部分 10 を含んで、書込ビット線 5 a、5 b と書込ワード線 6 との各交差領域にそれぞれ配設されている。また、各記憶セル 1 は、図 2、3 に示すように、書込ワード線 6 における立ち上がり部分に対応する平行部分 10 側が記憶素子 1 a として構成されると共に、書込ワード線 6 における立ち下がり部分に対応する平行部分 10 側が記憶素子 1 b として構成されている。

【0038】

この場合、環状磁性層 4 a は、図 4 (a) に示すように、磁気抵抗効果発現体 20 a の積層面に沿った方向（磁気抵抗効果発現体 20 a の積層方向と直交する方向。同図中の Y 方向）を軸方向（同図中において軸を符号 F で示す）とする環状（一例として四角筒状）に形成されると共に書込ビット線 5 a と書込ワード線 6 とによって貫かれて構成されている。この場合、環状磁性層 4 a は、同図中における下壁全体が第 1 の感磁層 14 a を構成する。また、書込ビット線 5 a と書込ワード線 6 は、一例として Z 方向に並んで配設されている。また、書込ビット線 5 a と書込ワード線 6 との間、書込ビット線 5 a と環状磁性層 4 a との間、および書込ワード線 6 と環状磁性層 4 a との間には、絶縁膜 7 a がそれぞれ配設されて、書込ビット線 5 a と書込ワード線 6 とが電氣的に絶縁されると共に、書込ビット線 5 a および書込ワード線 6 と環状磁性層 4 a とが電氣的に絶縁されている。同様にして、環状磁性層 4 b も、磁気抵抗効果発現体 20 b の積層面に沿った方向（磁気抵抗効果発現体 20 b の積層方向と直交する方向。同図中の Y 方向）を軸方向（同図中において軸を符号 G で示す）とする環状（一例として四角筒状）に形成されると共に書込ビット線 5 b と書込ワード線 6 とによって貫かれて構成されている。この場合、環状磁性層 4 b は、同図中における下壁全体が第 1 の感磁層 14 b を構成する。また、書込ビット線 5 b と書込ワード線 6 は、Z 方向に並んで配設されている。また、書込ビット線 5 b と書込ワード線 6 との間、書込ビット線 5 b と環状磁性層 4 b との間、および書込ワード線 6 と環状磁性層 4 b との間には、絶縁膜 7 b がそれぞれ配設されて、書込ビット線 5 b と書込ワ

ード線 6 とが電氣的に絶縁されると共に、書込ビット線 5 b および書込ワード線 6 と環状磁性層 4 b とが電氣的に絶縁されている。さらに、各環状磁性層 4 a, 4 b は、互いの軸 F, G の方向を一致させて並設されると共に、互いを貫くそれぞれの書込ビット線 5 a および書込ワード線 6 と、書込ビット線 5 b および書込ワード線 6 とで挟まれた部位（以下、「共有部位 3 4」ともいう）を互いに共有するように構成されている。具体的には、環状磁性層 4 a, 4 b は、互いの軸 F, G の方向を一致させて平行に、かつ各々の一つの側壁（図 4（a）中においては、環状磁性層 4 a の右側壁と環状磁性層 4 b の左側壁。本発明における所定部位）を共有した状態で並設されている。したがって、共有部位 3 4 は、環状磁性層 4 a の右側壁および環状磁性層 4 b の左側壁としても機能する。また、同図に示すように、各第 1 の感磁層 1 4 a, 1 4 b は、軸 F, G を含む面 H に対して同一側（同図中では下側）に配設（具体的には並設）されている。また、第 1 の感磁層 1 4 a は同図中における右端側が共有部位 3 4 に含まれ、一方、第 1 の感磁層 1 4 b は同図中における左端側が共有部位 3 4 に含まれている。その結果、各第 1 の感磁層 1 4 a, 1 4 b は、各々の一端側（第 1 の感磁層 1 4 a の右端側および第 1 の感磁層 1 4 b の左端側）を共有した状態で、しかも同一面上に位置して並設されている。

【0039】

一方、磁気抵抗効果発現体 20 a は、図 4（a）に示すように、第 1 の磁性層 2 a、トンネルバリア層（本発明における「非磁性層」）3 a および第 2 の磁性層 8 a（本発明における「第 2 の感磁層」）。以下、「第 2 の感磁層 8 a」ともいう）がこの順に後述する導電層 24 a 上に積層されて構成されている。また、磁気抵抗効果発現体 20 a は、第 1 の感磁層 1 4 a における中央部またはその近傍（同図中において、環状磁性層 4 a の左側壁 3 5 a と共有部位 3 4 とで挟まれた符号 J で示される範囲内）の表面に、第 2 の感磁層 8 a を第 1 の感磁層 1 4 a に電氣的に接続させた状態で配設されている。本実施の形態では、一例として、磁気抵抗効果発現体 20 a は、第 1 の感磁層 1 4 a の中央部に配設されている。この構成により、磁気抵抗効果発現体 20 a は、第 1 の感磁層 1 4 a と共に、TMR 膜 S 20 a（本発明における「積層体」）を構成する。この TMR 膜 S 20 a

では、磁気抵抗効果発現体 20a の積層面に垂直な方向に電流が流れる。

【0040】

同様にして、磁気抵抗効果発現体 20b は、図 4 (a) に示すように、第 1 の磁性層 2b、トンネルバリア層（本発明における「非磁性層」）3b および第 2 の磁性層 8b（本発明における「第 2 の感磁層」）。以下、「第 2 の感磁層 8b」ともいう）がこの順に後述する導電層 24a 上に積層されて構成されている。また、磁気抵抗効果発現体 20b は、第 1 の感磁層 14b における中央部またはその近傍（同図中において、環状磁性層 4b の右側壁 35b と共有部位 34 とで挟まれた符号 K で示される範囲内）の表面に、第 2 の感磁層 8b を第 1 の感磁層 14b に電気的に接続させた状態で配設されている。本実施の形態では、一例として、磁気抵抗効果発現体 20b は、第 1 の感磁層 14b の中央部に配設されている。この構成により、磁気抵抗効果発現体 20b は、第 1 の感磁層 14b と共に、TMR 膜 S20b（本発明における「積層体」）を構成する。この TMR 膜 S20b では、磁気抵抗効果発現体 20b の積層面に垂直な方向に電流が流れる。

【0041】

この場合、第 1 の感磁層 14a および第 2 の感磁層 8a は、互いに磁氣的に交換結合している。同様にして、第 1 の感磁層 14b および第 2 の感磁層 8b も互いに磁氣的に交換結合している。一方、各第 1 の磁性層 2a, 2b は、磁化方向が同一方向に予め固定されている。なお、図 4 では、TMR 膜 S20a, S20b の膜構成を説明するために、TMR 膜 S20a, S20b を周囲の他の構成要素よりも相対的に大きく誇張して表すと共に、第 1 の感磁層 14a, 14b の厚みを周囲の他の構成要素の厚みよりも相対的に厚く誇張して表している。

【0042】

TMR 膜 S20a は、積層面に垂直方向の電圧を第 1 の磁性層 2a と第 2 の感磁層 8a との間に印加したときに、第 1 の磁性層 2a および第 2 の感磁層 8a の内の一方の電子がトンネルバリア層 3a を突き抜けて第 1 の磁性層 2a および第 2 の感磁層 8a の内の他方に移動することによってトンネル電流が流れるように構成されて、記憶速度向上やアクセス速度向上を達成可能に構成されている。このトンネル電流は、トンネルバリア層 3a との界面部分における第 1 の磁性層 2

aのスピンと第2の感磁層8aのスピンとの相対的な角度によって変化する。具体的には、第1の磁性層2aのスピンと第2の感磁層8aのスピンとが互いに平行なときに抵抗値が最小となり、反平行のときに抵抗値が最大となる。TMR膜S20bについても同様である。これらの抵抗値を用いて、磁気抵抗変化率(MR比)は、下記の式のように定義される。

$$(\text{MR比}) = dR/R$$

ここで、「dR」は、スピンが互いに平行なときと反平行なときとの抵抗値の差を意味し、「R」は、スピンが互いに平行なときの抵抗値を意味する。

【0043】

また、トンネル電流に対する抵抗値(以下、「トンネル抵抗 R_t 」ともいう。)は、トンネルバリア層3a, 3bの膜厚Tに強く依存する。具体的には、トンネル抵抗 R_t は、低電圧領域では、下記の式に示すように、トンネルバリア層3a, 3bの膜厚Tに対して指数関数的に増加する。

$$R_t \propto \exp(2\chi T), \quad \chi = \{8\pi^2 m^* (\phi \cdot Ef)^{0.5}\} / h$$

ここで、「 ϕ 」はバリア高さ、「 m^* 」は電子の有効質量、「 Ef 」はフェルミエネルギー、 h はプランク定数を意味する。一般的に、記憶素子を用いたメモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗 R_t は、数 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速度化を図るためには、トンネル抵抗 R_t は、 $10\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下、さらに好ましくは $1\text{ k}\Omega \cdot (\mu\text{m})^2$ 以下とすることが好ましい。したがって、上記のトンネル抵抗 R_t を実現するために、トンネルバリア層3a, 3bの厚みTを 2 nm 以下、さらに好ましくは 1.5 nm 以下とすることが望ましい。

【0044】

なお、各トンネルバリア層3a, 3bの厚みTを薄くすることにより、トンネル抵抗 R_t を低減することができるが、その一方で、第1の磁性層2a, 2bおよび第2の感磁層8a, 8bとの接合界面の凹凸に起因するリーク電流が生じるためにMR比が低下することがある。これを防止するため、各トンネルバリア層3a, 3bの厚みTは、リーク電流が流れない程度の厚みに設定する必要がある。

、具体的には0.3nm以上に設定することが望ましい。

【0045】

また、TMR膜S20a, S20bは、保磁力差型構造に構成されているため、第1の磁性層2a, 2bの保磁力が第2の感磁層8a, 8bの保磁力よりも大きくなるように構成されているのが望ましい。具体的には、第1の磁性層2a, 2bの保磁力は、 $(50/4\pi) \times 10^3 \text{ A/m}$ よりも大きいことが望ましく、特に $(100/4\pi) \times 10^3 \text{ A/m}$ 以上であることが望ましい。この構成により、第1の磁性層2a, 2bにおける磁化方向が外部擾乱磁界等の不要な磁界の影響を受けるのを防止することができる。第1の磁性層2a, 2bは、例えば、5nmの厚みのコバルト鉄合金(CoFe)で構成されている。他に、単体のコバルト(Co)や、コバルト白金合金(CoPt)、ニッケル鉄コバルト合金(NiFeCo)等で第1の磁性層2a, 2bを構成することもできる。第2の感磁層8a, 8bは、例えば、単体のコバルト(Co)、コバルト鉄合金(CoFe)、コバルト白金合金(CoPt)、ニッケル鉄合金(NiFe)あるいはニッケル鉄コバルト合金(NiFeCo)で構成することができる。また、第1の磁性層2a, 2bおよび第2の感磁層8a, 8bの磁化容易軸は、第1の磁性層2a, 2bと第2の感磁層8a, 8bとの各磁化方向を互いに平行または反平行となる状態で安定化させるためには、互いに平行であることが望ましい。

【0046】

環状磁性層4では、上述した構成により、書込ビット線5および書込ワード線6における平行部分10を流れる書込電流に起因して、その内部に還流磁界が発生する。この還流磁界は、書込ビット線5および書込ワード線6を流れる電流の向きに応じて反転する。環状磁性層4は、例えば、ニッケル鉄合金(NiFe)からなり、第1の感磁層14a, 14bの保磁力が、 $(100/4\pi) \times 10^3 \text{ A/m}$ 以下の範囲内において第1の磁性層2a, 2bの保磁力よりも小さくなるように構成されているのが望ましい。 $(100/4\pi) \times 10^3 \text{ A/m}$ を超えるような保磁力では、環流磁界の向きを反転させる際における書込電流の増大に起因する発熱により、TMR膜S20a, S20b自体の劣化が生じる可能性があるためである。さらに、第1の感磁層14a, 14bの保磁力が第1の磁性層2

a, 2bの保磁力と同等以上となると、書込電流が増大して磁化固定層としての第1の磁性層2a, 2bの磁化方向を変化させてしまい、記憶素子1a, 1bを破壊させるおそれがあるためである。また、書込ビット線5および書込ワード線6による環流磁界を環状磁性層4に集中させるために、環状磁性層4の透磁率はより大きい方が好ましい。具体的には、2000以上が好ましく、6000以上であることがより好ましい。

【0047】

さらに、第1の感磁層14a, 14bの膜厚は、0.5nm以上40nm以下の範囲内、好ましくは0.5nm以上30nm以下の範囲内に設定するのが好ましい。第1の感磁層14a, 14bの膜厚をこの範囲内に規定（設定）することにより、第1の感磁層14a, 14bおよび第2の感磁層8a, 8bの磁化方向を反転させる際に、環状磁性層4aを貫通する書込ワード線6および書込ビット線5aに流す各書込電流の合計値（記憶素子1a側に流す書込電流の合計値）と、環状磁性層4bを貫通する書込ワード線6および書込ビット線5bに流す各書込電流の合計値（記憶素子1b側に流す書込電流の合計値）とをバランス（均衡）させることができる結果、記憶セル1全体としての書込電流を低減することができる。

【0048】

この場合、第1の感磁層14a, 14bの厚みが50nm以上のときには、記憶素子1a側の書込電流の合計値と、記憶素子1b側の書込電流の合計値との間の電流差が大きくなってバランスが悪くなるため、書込電流の合計値が小さい記憶素子（1aおよび1bの一方）に対しても、書込電流の合計値が大きい記憶素子（1aおよび1bの他方）と同じ大きさの書込電流を供給せざるを得なくなる。加えて、各記憶素子1a, 1bに対する書込電流の各合計値が全体的に大きくなっている。これらの結果、厚みが50nm以上のときには、記憶セル1に対する書込電流の全体量が大きくなっている。一方、第1の感磁層14a, 14bの厚みが50nm未満のときには、記憶素子1a側の書込電流の合計値と、記憶素子1b側の書込電流の合計値との間の電流差が若干小さくなってバランスが改善される傾向を示すと共に、第1の感磁層14a, 14bの厚み（膜厚）が薄くな

る程、記憶素子 1 a 側の書込電流の合計値および記憶素子 1 b 側の書込電流の合計値が共に低下する傾向を示す。特に、厚みが 40 nm 以下のときには、記憶素子 1 a, 1 b 側の書込電流の両合計値間の電流差がさらに小さくなって両者間のバランスが一層改善される傾向を示す。さらに、厚みが 30 nm 以下のときには、記憶素子 1 a, 1 b 側の書込電流の両合計値間の電流差がより一層小さくなって両者間のバランスがより一層改善される傾向を示す。しかしながら、第 1 の感磁層 14 a, 14 b を安定した膜として製造するためには、第 1 の感磁層 14 a, 14 b の厚みを 0.5 nm 以上に設定するのが好ましい。

【0049】

書込ビット線 5 および書込ワード線 6 は、一例として 10 nm 厚のチタン (Ti) と、10 nm 厚の窒化チタン (TiN) と、500 nm 厚のアルミニウム (Al) とが順に積層されて構成されている。

【0050】

次に、情報読出動作に係わる構成について、図 3、図 5 および図 6 を参照して説明する。

【0051】

図 5 に示すように、各記憶セル 1 は、複数の読出ワード線 12 と複数の読出ビット線 13 a, 13 b との各交差点に配設されている。この場合、図 6 に示すように、記憶セル 1 における各記憶素子 1 a, 1 b は、一対のショットキーダイオード 75 a, 75 b (以下、単に「ダイオード 75 a, 75 b」ともいう。) が形成された基体 11 の上に、一対の磁気抵抗効果発現体 20 a, 20 b、環状磁性層 4 (4 a, 4 b) の順で積層されて構成されている。また、各記憶セル 1 (1 a, 1 b) の下面 (磁気抵抗効果発現体 20 a, 20 b が形成された側) は、ダイオード 75 a, 75 b、および各接続層 13 T, 13 T を介して読出ビット線 13 a, 13 b にそれぞれ接続されている。一方、各記憶素子 1 a, 1 b は、図 3, 6 に示すように、その上面 (磁気抵抗効果発現体 20 a, 20 b とは反対側) が読出ワード線 12 に接続されている。この場合、各読出ビット線 13 a, 13 b は、各記憶セル 1 における一対の記憶素子 1 a, 1 b の各々に読出電流を供給するものであり、図 5 に示すように、その両端には読出ビット線引出電極 4

4がそれぞれ設けられている。一方、読出ワード線12は、記憶素子1a, 1bの各々に流れた読出電流を接地（アース電位）に導くものであり、その両端には、読出ワード線引出電極43がそれぞれ設けられている。

【0052】

ダイオード75aは、図6に示すように、基板26、基板26上に積層されたエピタキシャル層25、およびエピタキシャル層25上に積層された導電層24aを備え、導電層24aとエピタキシャル層25との間にショットキー障壁が形成されて構成されている。同様に、ダイオード75bも、同図に示すように、基板26、基板26上に積層されたエピタキシャル層25、およびエピタキシャル層25上に積層された導電層24bを備え、導電層24bとエピタキシャル層25との間にショットキー障壁が形成されて構成されている。また、ダイオード75aとダイオード75bとは、磁気抵抗効果発現体20a, 20bおよび環状磁性層4を介して互いに電氣的に接続されると共に、これらの部位以外においては互いに電氣的に絶縁されている。なお、同図中において、符号11A, 17A, 17Bで示す各部位は、絶縁層で構成されている。

【0053】

次に、図7を参照して、磁気メモリデバイスMにおける読出動作に係わる回路構成について説明する。

【0054】

図7に示すように、この磁気メモリデバイスMでは、記憶セル群54のビット列毎の記憶セル1と、センスアンプ回路56Bを含む読出回路の一部とが、読出回路の繰り返し単位である単位読出回路80（・・・, 80n, 80n+1, ・・・）を構成しており、この単位読出回路80がビット列方向に並列に配置されている。各単位読出回路80は、ビットデコード線71（・・・, 71n, 71n+1, ・・・）を介してY方向アドレスデコーダ回路56Aに接続されると共に、Y方向読出用データバス62を介して出力バッファ52Bに接続されている。

【0055】

また、各単位読出回路80に含まれている各記憶セル1の各記憶素子1a, 1

bは、各々の一端が一对のダイオード75a, 75bを介して各单位読出回路80毎の読出ビット線13a, 13bにそれぞれ接続されている。一方、各单位読出回路80に含まれている各記憶セル1の各記憶素子1a, 1bは、各々の他端が共に各読出ワード線12(・・・, 12m, 12m+1, ・・・)にそれぞれ接続されている。

【0056】

この場合、各読出ワード線12の一端は、それぞれ読出ワード線引出電極43(図5参照)を介して各読出スイッチ83(・・・, 83m, 83m+1, ・・・)に接続され、さらに各読出スイッチ83は共通の定電流回路58Bに接続されている。また、各読出スイッチ83は、ワードデコード線72(・・・, 72m, 72m+1, ・・・)を介してX方向アドレスデコード回路58Aにそれぞれ接続されており、X方向アドレスデコード回路58Aからの選択信号を入力したときに導通するように構成されている。

【0057】

一方、各読出ビット線13a, 13bは、その一端が読出ビット線引出電極44(図5参照)を介してそれぞれセンスアンプ回路56Bに接続されており、他端は最終的にそれぞれ接地されている。センスアンプ回路56Bは、各单位読出回路80における一对の読出ビット線13a, 13bをそれぞれ流れる読出電流間の差分に基づいて、各单位読出回路80において読出電流が流れた記憶セル1に記憶されている情報(2値情報)を検出すると共に、検出した情報を出力線82(・・・, 82n, 82n+1, ・・・)を介してY方向読出用データバス62に出力する機能を備えている。

【0058】

次に、磁気メモリデバイスMの動作について説明する。

【0059】

まず、図2、図4(b)および図4(c)を参照して、記憶セル1における書込動作について説明する。

【0060】

図4(b)に示すように、書込ワード線6の記憶素子1aを通過する部位にお

ける電流の向きが紙面の手前側から奥側に（+Y方向へ）向かうように、書込ワード線6に書込電流を流す。また、各記憶素子1a, 1bの平行部分10（図2参照）において、各書込ビット線5a, 5bの電流の向きが書込ワード線6の電流の向きと一致するように、各書込ビット線5a, 5bに書込電流を流す。具体的には、同図に示すように、書込ビット線5aには、紙面の手前側から奥側に（+Y方向へ）向かうように書込電流を流し、書込ビット線5bには、紙面の奥側から手前側に（-Y方向へ）向かうように書込電流を流す。この場合、記憶素子1aでは、環状磁性層4aの内部に時計回り方向の還流磁界16aが発生する。一方、記憶素子1bでは、環状磁性層4bの内部に反時計回り方向の還流磁界16bが発生する。これにより、記憶素子1aでは、第1の感磁層14aおよび第2の感磁層8aの磁化方向が-X方向となり、記憶素子1bでは、第1の感磁層14bおよび第2の感磁層8bの磁化方向が+X方向となる。つまり、各記憶素子1a, 1bの各感磁層（第1の感磁層14aおよび第2の感磁層8a、第1の感磁層14bおよび第2の感磁層8b）が互いに反平行の向きで磁化される。また、各環状磁性層4a, 4bの共有部位34では、各環流磁界16a, 16bの方向が一致する。したがって、同図に示すように、記憶素子1aでは、第2の感磁層8aの磁化方向と第1の磁性層2aの磁化方向とが一致する（平行になる）。一方、記憶素子1bでは、第2の感磁層8bの磁化方向と第1の磁性層2bの磁化方向とが逆になる（反平行になる）。この結果、記憶セル1に情報（一例として「0」）が記憶される。

【0061】

一方、図4（c）に示すように、書込ワード線6および各書込ビット線5a, 5bに、図4（b）のときとは逆向きの電流を流すことにより、記憶素子1aでは、環状磁性層4aの内部に反時計回り方向の還流磁界16aが発生する。また、記憶素子1bでは、環状磁性層4bの内部に時計回り方向の還流磁界16bが発生する。これにより、記憶素子1aでは、第1の感磁層14aおよび第2の感磁層8aの磁化方向が+X方向となり、記憶素子1bでは、第1の感磁層14bおよび第2の感磁層8bの磁化方向が-X方向となる。つまり、各記憶素子1a, 1bの各感磁層が互いに反平行の向きで磁化される。なお、この場合において

も、各環状磁性層 4 a, 4 b の共有部位 3 4 では、各環流磁界 1 6 a, 1 6 b の方向（同図（b）のときとは逆向き）が一致する。したがって、同図に示すように、記憶素子 1 a では、第 2 の感磁層 8 a の磁化方向と第 1 の磁性層 2 a の磁化方向とが互いに逆方向になる（反平行になる）。一方、記憶素子 1 b では、第 2 の感磁層 8 b の磁化方向と第 1 の磁性層 2 b の磁化方向とが一致する（平行になる）。この結果、記憶セル 1 に情報（一例として「1」）が記憶される。

【0062】

この場合、記憶素子 1 a, 1 b では、第 1 の磁性層 2 a, 2 b と第 2 の感磁層 8 a, 8 b との磁化方向が平行であれば大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対を成す記憶素子 1 a および記憶素子 1 b は、必ず一方が低抵抗となり、かつ他方が高抵抗となって情報を記憶する。なお、書込ビット線 5 と書込ワード線 6 とで互いに逆方向に書込電流が流れたとき、あるいは、どちらか一方のみに書込電流が流れたときには、各第 2 の感磁層 8 a, 8 b の磁化方向が反転せずに、データの書き換えは行われない。

【0063】

次に、図 1, 7, 8 を参照して、磁気メモリデバイス M の読出動作について説明する。

【0064】

まず、アドレスバッファ 5 1 を介してアドレス信号を入力した Y 方向アドレスデコーダ回路 5 6 A が、このアドレス信号に基づいて複数のビットデコード線 7 1 のうちの 1 つを選択して、対応するセンスアンプ回路 5 6 B に制御信号を出力する。次いで、制御信号を入力したセンスアンプ回路 5 6 B は、接続されている読出ビット線 1 3 a, 1 3 b に電圧を印加する。これにより、各記憶素子 1 a, 1 b における TMR 膜 S 2 0 a, S 2 0 b の側に正の電位が与えられる。一方、アドレスバッファ 5 1 を介してアドレス信号を入力した X 方向アドレスデコーダ回路 5 8 A は、このアドレス信号に基づいて複数のワードデコード線 7 2 のうちの 1 つを選択することにより、対応する読出スイッチ 8 3 を駆動してオン状態（導通状態）に移行させる。これにより、選択されたビットデコード線 7 1（つま

り読出ビット線 13 a, 13 b) とワードデコード線 7 2 (つまり読出ワード線 1 2) との交差部分に配置された記憶セル 1 に読出電流が流れる。この場合、記憶セル 1 における各記憶素子 1 a, 1 b では、記憶されている情報の値に応じて一方が低抵抗状態で他方が高抵抗状態に維持されると共に、記憶セル 1 に流れる読出電流の総和が定電流回路 5 8 B によって一定値に維持されている。このため、各記憶素子 1 a, 1 b の一方に流れる読出電流が多く、かつ他方に流れる読出電流が少なくなる。例えば、図 8 (a) に示す記憶セル 1 の状態では、記憶素子 1 a において第 1 の磁性層 2 a と第 2 の感磁層 8 a の各磁化方向が平行となり、記憶素子 1 b において第 1 の磁性層 2 b と第 2 の感磁層 8 b の各磁化方向が反平行となっているため、記憶素子 1 a が低抵抗状態、記憶素子 1 b が高抵抗状態になっている。これに対して、図 8 (b) に示す記憶セル 1 の状態では、各記憶素子 1 a, 1 b における第 1 の磁性層 2 a および第 2 の感磁層 8 a の各磁化方向が同図 (a) のときとは逆となる結果、記憶素子 1 a が高抵抗状態で、記憶素子 1 b が低抵抗状態になる。

【0065】

一方、センスアンプ回路 5 6 B は、各記憶素子 1 a, 1 b 間に生じる電流量の差分を検出することにより、記憶セル 1 に記憶されている情報 (2 値情報) を取得する。また、センスアンプ回路 5 6 B は、取得した情報を出力バッファ 5 2 B を介して外部データ端子 D 0 ~ D 7 に出力する。これにより、記憶セル 1 に記憶されている 2 値情報の読み取りが完了する。

【0066】

このように、この磁気メモリデバイス M によれば、複数の書込ビット線 5 a, 5 b と、これらの書込ビット線 5 a, 5 b とそれぞれ交差するように延在する複数の書込ワード線 6 とを備え、かつ上記した構成の TMR 膜 S 2 0 a, S 2 0 b と、書込ビット線 5 a, 5 b および書込ワード線 6 を取り囲む環状磁性層 4 とを含む上記構成の記憶素子 1 a, 1 b を備えたことにより、書込ビット線 5 a および書込ワード線 6、また書込ビット線 5 b および書込ワード線 6 に電流を流すことによって生じる合成磁界を、書込ビット線 5 a, 5 b および書込ワード線 6 が交差する構成と比較して大きくすることができると共に、書込ビット線 5 a, 5

b および書込ワード線 6 の双方に流れる電流によって書込ビット線 5 a, 5 b および書込ワード線 6 の周囲に生じる磁束を各環状磁性層 4 a, 4 b からなる閉磁路内に閉じ込めることができるため、漏れ磁束の発生を低減することができる結果、隣接する記憶セルへの悪影響を大幅に低減することができる。また、1つの記憶セル 1 における一对の記憶素子 1 a, 1 b が環状磁性層 4 の一部（共有部位 3 4）を互いに共有するように構成したことにより、環状磁性層 4 a, 4 b を離間して設けた構成と比較して、各環状磁性層 4 a, 4 b の共有部位 3 4 内における磁束密度を増大させることができる結果、各環状磁性層 4 a, 4 b 内の各還流磁界 1 6 a, 1 6 b の強度を増強することができる。したがって、漏れ磁束の発生を低減と相俟って、より小さな書込電流によって第 2 の感磁層 8 a, 8 b の磁化反転を行うことができる。

【0067】

さらに、記憶素子 1 a, 1 b における第 1 の感磁層 1 4 a, 1 4 b の厚みを 0.5 nm 以上 40 nm 以下の範囲内に規定したことにより、第 1 の感磁層 1 4 a, 1 4 b を磁性膜として安定して製造可能な 0.5 nm 以上の厚みを確保することができる結果、製造上の歩留まりを向上させることができる。また、第 1 の感磁層 1 4 a, 1 4 b の厚みを 40 nm 以下に規定したことにより、厚みに由来する反磁界が減少するため、記憶素子 1 a, 1 b に対する各書込電流のバランスをある程度確保しつつ、各書込電流の電流値を低下させることができる。さらに、第 1 の感磁層 1 4 a, 1 4 b の厚みを 30 nm 以下に規定したことにより、厚みに由来する反磁界がさらに減少するため、記憶素子 1 a, 1 b に対する各書込電流をより一層バランスさせつつ、各書込電流の電流値を一層低下させることができる。

【0068】

また、書込ビット線 5 a, 5 b および書込ワード線 6 の周囲に生じる磁界によって互いに反平行の向きで磁化されるようにして各感磁層（第 1 の感磁層 1 4 a および第 2 の感磁層 8 a、第 1 の感磁層 1 4 b および第 2 の感磁層 8 b）を構成したことにより、各一对の記憶素子 1 a, 1 b のそれぞれの書込ビット線 5 a, 5 b および書込ワード線 6 に電流を流したときに各環状磁性層 4 a, 4 b の共有

部位 34 に生じる各還流磁界 16a, 16b の向きを常に揃えることができるため、各環状磁性層 4a, 4b の共有部位 34 内における磁束密度を確実に増大させることができる。これにより、各環状磁性層 4a, 4b 内の各還流磁界 16a, 16b の強度を増強することができる結果、より小さな書込電流によって感磁層の磁化反転を効率よく行うことができる。

【0069】

さらに、互いに磁氣的に交換結合可能に形成された第 1 の感磁層 14a および第 2 の感磁層 8a と、第 1 の感磁層 14b および第 2 の感磁層 8b とを備えて各感磁層を構成すると共に、各第 1 の感磁層 14a, 14b を各環状磁性層 4a, 4b の一部で構成したことにより、各感磁層を構成する第 2 の感磁層 8a, 8b の材料として分極率の高い材料を選択することができるため、記憶素子 1a, 1b の磁気抵抗変化率を大きくすることができる。

【0070】

なお、本発明は、上記した実施の形態に限定されない。例えば、上記した磁気メモリデバイス M では、環状磁性層 4 の各第 1 の感磁層 14a, 14b と共に、各第 2 の感磁層 8a, 8b を備えた構成の記憶セル 1 を例に挙げて説明したが、各第 2 の感磁層 8a, 8b を省いて、感磁層として、環状磁性層 4 の各第 1 の感磁層 14a, 14b のみを備えた構成の記憶セルを採用することもできる。また、環状磁性層 4 の各第 1 の感磁層 14a, 14b と各第 2 の感磁層 8a, 8b との間に非磁性導電層を配設することにより、各第 1 の感磁層 14a, 14b と各第 2 の感磁層 8a, 8b とを反強磁性結合させる記憶セルを構成することもできる。また、本発明の実施の形態では、TMR 膜 S20a, S20b を保磁力差型構造に構成した記憶セルに本発明を適用した例について説明したが、各 TMR 膜を交換バイアス型に構成した記憶セルに対しても本発明を適用できるのは勿論である。

【0071】

また、上記した磁気メモリデバイス M では、一対の環状磁性層 4a, 4b を有すると共に、一対の環状磁性層 4a, 4b が各々の一部を共有する構成によって 1 ビットの情報を記憶する記憶セル 1 を例に挙げて説明したが、例えば図 4 にお

ける1つの磁気抵抗効果発現体20aと、同図中における1つの環状磁性層4aとを有する記憶素子（例えば図4における記憶素子1a）を備え、一つの環状磁性層4aと一つの磁気抵抗効果発現体20aとによって1ビットの情報を記憶する記憶セルに対しても本願発明を適用することができる。この場合、第1の感磁層14a、14bの厚みを0.5nm以上40nm以下の範囲内、好ましくは0.5nm以上30nm以下の範囲内に規定する。また、この場合、環状磁性層4a内には、書込ワード線6および書込ビット線5aの双方を配設する構成とすることもできるし、書込ワード線6を環状磁性層4aの外部に配設して環状磁性層4aの内部に書込ビット線5aのみを配置する構成とすることもできる。

【0072】

また、上記した記憶セル1に対して、記憶素子1a（または記憶素子1b）と同一構造の記憶素子を、記憶素子1aにおける環状磁性層4aの左側壁35aまたは記憶素子1bにおける環状磁性層4bの右側壁35b側に、1つ以上、互いの軸線を一致させて一列に並設することにより、3つ以上の記憶素子によって1ビットの情報を記憶する構成の記憶セルに対しても本願発明を適用することができる。この場合、第1の感磁層14a、14bの厚みを0.5nm以上40nm以下の範囲内（好ましくは0.5nm以上30nm以下の範囲内）に規定する。

【0073】

【実施例】

次に、実施例を挙げて本発明を詳細に説明する。

【0074】

（実験1）

図9に示す各部位の寸法L2～L7を図10に示すタイプAの欄に記載されている長さにそれぞれ規定したタイプAの環状磁性層4を想定すると共に、このタイプAの環状磁性層4における第1の感磁層14a（図9中において右上がりの斜線を付した部位）、および第1の感磁層14b（同図中において右下がりの斜線を付した部位）の各厚みL1を、5nm、10nm、20nm、30nm、40nm、50nm、60nm、80nm、100nm、150nm、200nmというように変更したときのタイプAの環状磁性層4における各記憶素子1a、

1 b についての書込電流 (I_{sw}) をそれぞれシミュレーションで求めた。ここで、書込電流とは、第 1 の感磁層 14 a, 14 b および第 2 の感磁層 8 a, 8 b の磁化方向を反転させるために必要な電流をいう (以下、各実験においても同様である)。さらに、第 1 の感磁層 14 a, 14 b の厚み L_1 と、求めた書込電流 (I_{sw}) との関係を示す特性図 (図 11) を作成した。同図中において、○印は記憶素子 1 a についての書込電流を示し、●印は記憶素子 1 b についての書込電流を示している。

【0075】

図 11 によれば、タイプ A の環状磁性層 4 では、厚み L_1 が 50 nm を超える領域では、記憶素子 1 a, 1 b の各書込電流のバランスが大きく崩れると共に、全体として書込電流が大きいことが確認される。一方、厚み L_1 が 50 nm 以下の領域では、記憶素子 1 a, 1 b の各書込電流の電流差が徐々に小さくなって双方が次第にバランスされる (均衡する) 傾向を示すと共に、各書込電流が急激かつほぼリニアに低下するのが確認される。特に、厚み L_1 を 40 nm 以下に規定することにより、記憶素子 1 a, 1 b に対する各書込電流がほぼバランスされた状態になると共に、記憶素子 1 a, 1 b の各書込電流が 1.9 mA 以下に低下するのが確認される。さらに、厚み L_1 を 30 nm 以下に規定することにより、記憶素子 1 a, 1 b の各書込電流が 1.6 mA 以下に低下するのが確認される。

【0076】

(実験 2)

図 9 に示す各部位の寸法 $L_2 \sim L_7$ を図 10 に示すタイプ B の欄に記載されている長さにそれぞれ規定したタイプ B の環状磁性層 4 を想定すると共に、このタイプ B の環状磁性層 4 における第 1 の感磁層 14 a, 14 b の厚み L_1 を、5 nm、10 nm、20 nm、30 nm、40 nm、50 nm、100 nm、150 nm、200 nm というように変更したときのタイプ B の環状磁性層 4 における各記憶素子 1 a, 1 b についての書込電流 (I_{sw}) をそれぞれシミュレーションで求めた。さらに、第 1 の感磁層 14 a, 14 b の厚み L_1 と求めた書込電流 (I_{sw}) との関係を示す特性図 (図 12) を作成した。同図中において、○印は記憶素子 1 a についての書込電流を示し、●印は記憶素子 1 b についての書込

電流を示している。

【0077】

図12によれば、タイプBの環状磁性層4では、厚みL1が100nm以上の領域では、記憶素子1a, 1bの各書込電流が比較的バランスされているものの、各書込電流が全体的に大きいことが確認される。また、厚みL1が50nm以上100nm未満の領域では、記憶素子1a, 1bの各書込電流のバランスが大きく崩れると共に、各書込電流が依然として全体的に大きいことが確認される。一方、厚みL1が50nm未満の領域では、記憶素子1a, 1bの各書込電流が急激に低下することが確認される。特に、厚みL1が20nmを超え40nm以下の領域では、記憶素子1a, 1bの各書込電流の電流差が小さくなると共に、各書込電流の値も1.7mA以下に低下するのが確認される。この場合、厚みL1が20nmを超え30nm以下の領域では、記憶素子1a, 1bの各書込電流の電流差が極めて小さくなることが確認される。一方、厚みL1が5nm以上20nm以下の領域では、記憶素子1a, 1bの各書込電流の電流差が若干開いてバランスがやや崩れた状態になるが、各書込電流の電流値が共に0.9mA以下の極めて低いレベルに維持される結果、記憶セル1全体に対する書込電流は非常に低下することが確認される。

【0078】

(実験3)

図9に示す各部位の寸法L2～L7を図10に示すタイプCの欄に記載されている長さにそれぞれ規定したタイプCの環状磁性層4を想定すると共に、このタイプCの環状磁性層4における第1の感磁層14a, 14bの厚みL1を、5nm、10nm、20nm、30nm、40nm、50nm、100nm、150nm、200nmというように変更したときのタイプCの環状磁性層4における各記憶素子1a, 1bについての書込電流(Isw)をそれぞれシミュレーションで求めた。さらに、第1の感磁層14a, 14bの厚みL1と求めた書込電流(Isw)との関係を示す特性図(図13)を作成した。同図中において、○印は記憶素子1aについての書込電流を示し、●印は記憶素子1bについての書込電流を示している。

【0079】

図13によれば、タイプCの環状磁性層4では、厚みL1が50nm以上の領域では、記憶素子1a, 1bの各書込電流のバランスが大きく崩れると共に、各書込電流が全体的に大きいことが確認される。一方、厚みL1が40nmを超え50nm未満の領域では、記憶素子1a, 1bの各書込電流が若干低下するものの、記憶素子1a, 1bの各書込電流の電流差が依然として大きく、かつバランスが崩れた状態にあることが確認される。また、厚みL1が40nm以下の領域では、記憶素子1a, 1bの各書込電流の電流差が徐々に小さくなると共に、記憶素子1a, 1bの各書込電流を2.0mA以下にまで低下させることができることが確認される。特に、厚みL1が30nm以下の領域では、記憶素子1a, 1bの各書込電流が急激かつほぼリニアに低下するのが確認されると共に、これらの各書込電流の電流差がほぼなくなってバランスされた良好な状態になるのが確認される。

【0080】

以上の各実験から、いずれのタイプの環状磁性層4においても、第1の感磁層14a, 14bの厚みL1を5nm以上40nm以下に規定することにより、記憶素子1a, 1bの各書込電流のバランスをある程度確保しつつ、各書込電流を低下させることができるのが確認される。特に、第1の感磁層14a, 14bの厚みL1を30nm以下に規定することにより、記憶素子1a, 1bに対する各書込電流の電流値をほぼバランスさせた状態にすることができると共に、各書込電流を一層低下させることができるのが確認される。また、各実験から、第1の感磁層14a, 14bの厚みL1が50nm未満の領域では、第1の感磁層14a, 14bの厚みL1を薄くするに従って、記憶素子1a, 1bに対する各書込電流がほぼ一様に低下するのが確認される。このため、シミュレーションは行っていないが、いずれのタイプの環状磁性層4においても、第1の感磁層14a, 14bの製造限界である0.5nmまでは、各書込電流のバランスをある程度確保しつつ、これらの電流値を十分に低いレベルに維持することができると考えられる。

【0081】

【発明の効果】

以上のように、本発明に係る記憶セルおよび磁気メモリデバイスによれば、磁界を発生させる1以上の導線によって貫かれる環状磁性層と、環状磁性層における磁界によって磁化方向が変化する第1の感磁層および第1の感磁層の表面に配設された磁気抵抗効果発現体を含んで積層面に垂直な方向に電流が流れるように構成された積層体とを備え、0.5 nm以上40 nm以下に第1の感磁層の厚みを規定したことにより、第1の感磁層を磁性膜として安定して製造可能な0.5 nm以上の厚みを確保することができる結果、製造上の歩留まりを向上させることができる。また、第1の感磁層の厚みを40 nm以下に規定したことにより、厚みに由来する反磁界が減少するため、記憶素子に対する各書込電流のバランスをある程度確保しつつ、第1の感磁層の磁化方向を反転するために必要な書込電流を低下させて効率良く第1の感磁層の磁化方向を変えることができる。

【0082】

また、本発明に係る記憶セルおよび磁気メモリデバイスによれば、磁界を発生させる1以上の導線によって貫かれる環状磁性層と、環状磁性層における磁界によって磁化方向が変化する第1の感磁層および第1の感磁層の表面に配設された磁気抵抗効果発現体を含んで積層面に垂直な方向に電流が流れるように構成された積層体とをそれぞれ有する複数の記憶素子を備え、互いの軸方向を一致させて並設されると共に各々の所定部位を互いに共有するように複数の環状磁性層を構成し、各軸を含む面に対して同一側に配設されると共に0.5 nm以上40 nm以下に複数の第1の感磁層の厚みを規定したことにより、第1の感磁層を磁性膜として安定して製造可能な0.5 nm以上の厚みを確保することができる結果、製造上の歩留まりを向上させることができる。また、第1の感磁層の厚みを40 nm以下に規定したことにより、厚みに由来する反磁界が減少するため、記憶素子に対する各書込電流のバランスをある程度確保しつつ、各第1の感磁層の磁化方向を反転するために必要な書込電流を低下させて効率良く第1の感磁層の磁化方向を変えることができる。

【0083】

また、本発明に係る記憶セルおよび磁気メモリデバイスによれば、磁界によっ

て互いに反平行の向きで磁化されるようにして複数の第1の感磁層を構成したことにより、各一对の記憶素子のそれぞれの導線に電流を流したときに各環状磁性層の共有部分に生じる各磁界の向きを常に揃えることができるため、各環状磁性層の共有部分内における磁束密度を確実に増大させることができる。これにより、各環状磁性層内の各還流磁界の強度を増強することができる結果、より小さな書込電流によって第1の感磁層の磁化反転を効率よく行うことができる。

【0084】

また、本発明に係る記憶セルおよび磁気メモリデバイスによれば、その厚みが30nm以下になるように第1の感磁層を規定したことにより、厚みに由来する反磁界がさらに減少するため、記憶素子に対する各書込電流をより一層バランスさせつつ、第1の感磁層の磁化方向を反転するために必要な各書込電流の電流値を一層低下させて効率良く感磁層の磁化方向を変えることができる。

【0085】

さらに、本発明に係る記憶セルおよび磁気メモリデバイスによれば、環状磁性層を貫く領域において互いに平行に延在するようにして複数の導線を構成したことにより、複数の導線が交差する構成と比較して、複数の導線に電流を流すことによって生じる合成磁界を大きくすることができる結果、各第1の感磁層をより効率よく磁化反転させることができる。

【0086】

さらに、本発明に係る記憶セルおよび磁気メモリデバイスによれば、第1の感磁層と互いに磁氣的に交換結合可能な第2の感磁層を含んで積層体を構成したことにより、第2の感磁層の材料として分極率の高い材料を選択することができるため、記憶素子の磁気抵抗変化率を大きくすることができる。

【0087】

また、本発明に係る記憶セルおよび磁気メモリデバイスによれば、非磁性層と、非磁性層の一面側に積層されて磁化方向の固定された第1の磁性層と、非磁性層の他面側に積層されて第2の感磁層として機能する第2の磁性層とを備えて各積層体を構成すると共に、一对の積層体をそれぞれ流れる電流に基づいて情報を検出可能に構成したことにより、トンネル効果を生じさせ得る絶縁層を非磁性層

として使用することもできる。

【0088】

また、本発明に係る記憶セルおよび磁気メモリデバイスによれば、第2の磁性層よりも保磁力の大きな材料を用いて第1の磁性層を形成したことにより、第1の磁性層における磁化方向が外部擾乱磁界等の不要な磁界の影響を受けるのを防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る磁気メモリデバイスMの全体構成を示すブロック図である。

【図2】

図1に示した磁気メモリデバイスMにおける記憶セル群54の要部構成を示す部分平面図である。

【図3】

図1に示した磁気メモリデバイスMにおける記憶セル1の構成を示す要部斜視図である。

【図4】

(a)～(c)は図2に示した記憶セル1のV-V線に沿った断面図である。

【図5】

図1に示した磁気メモリデバイスMにおける記憶セル群54の要部構成を示す他の部分平面図である。

【図6】

図5に示した記憶セル1のW-W線に沿った断面図である。

【図7】

磁気メモリデバイスMの回路図である。

【図8】

図7に示した回路の一部を示す回路図である。

【図9】

シミュレーションで第1の感磁層14a, 14bの厚みと書込電流との関係を

求めた際の記憶セル 1 についてのタイプ A～C の形状を説明する説明図である。

【図 10】

図 9 中の各タイプ A～C 毎の寸法を示す寸法図である。

【図 11】

タイプ A の記憶セル 1 についての各第 1 の感磁層 14 a, 14 b の厚みと各書込電流との関係をシミュレーションして得た特性図である。

【図 12】

タイプ B の記憶セル 1 についての各第 1 の感磁層 14 a, 14 b の厚みと各書込電流との関係をシミュレーションして得た特性図である。

【図 13】

タイプ C の記憶セル 1 についての各第 1 の感磁層 14 a, 14 b の厚みと各書込電流との関係をシミュレーションして得た特性図である。

【図 14】

記憶素子 120 を主として示す従来の磁気記憶セルの断面図である。

【図 15】

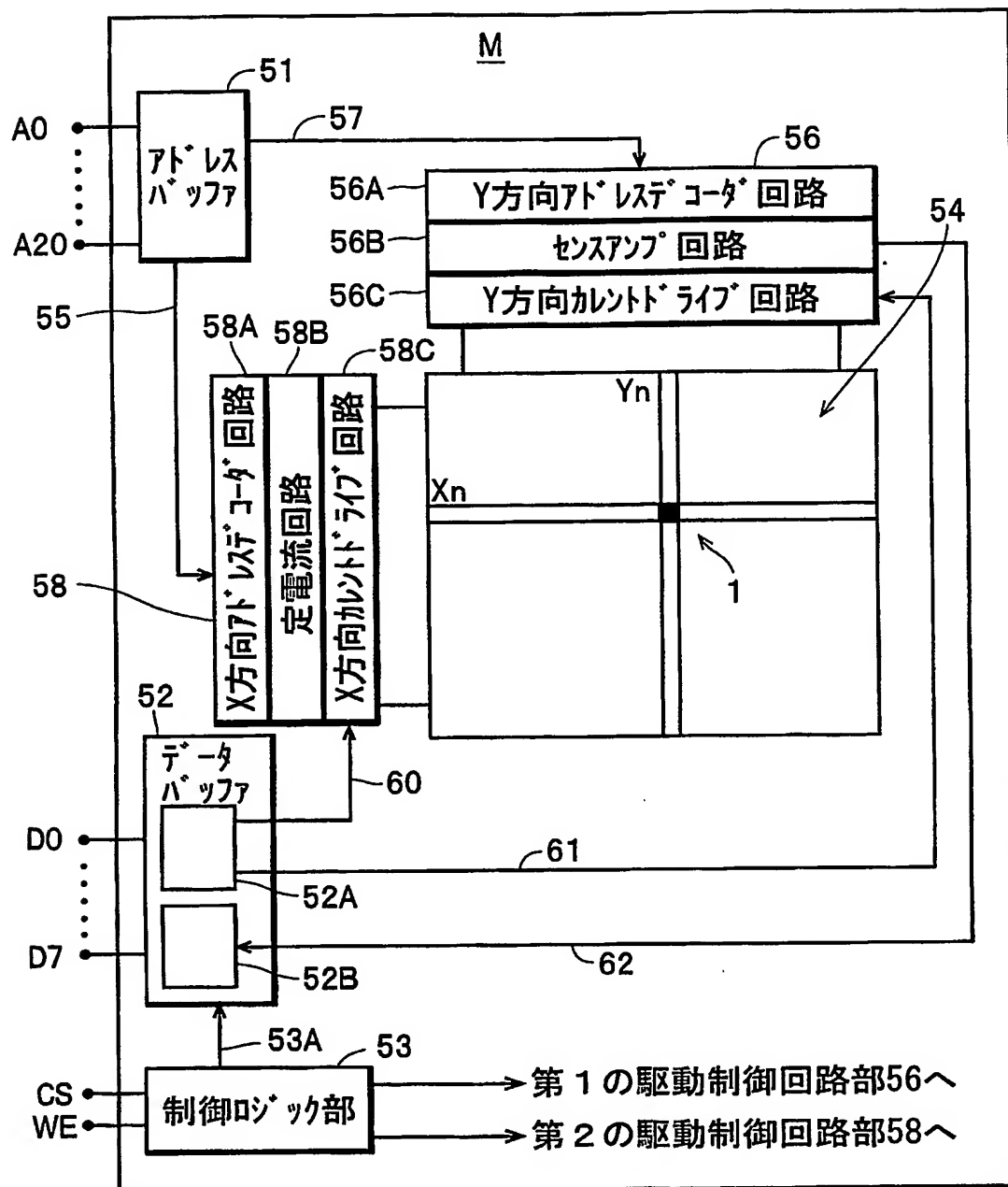
従来の磁気メモリデバイスの構成を示す平面図である。

【符号の説明】

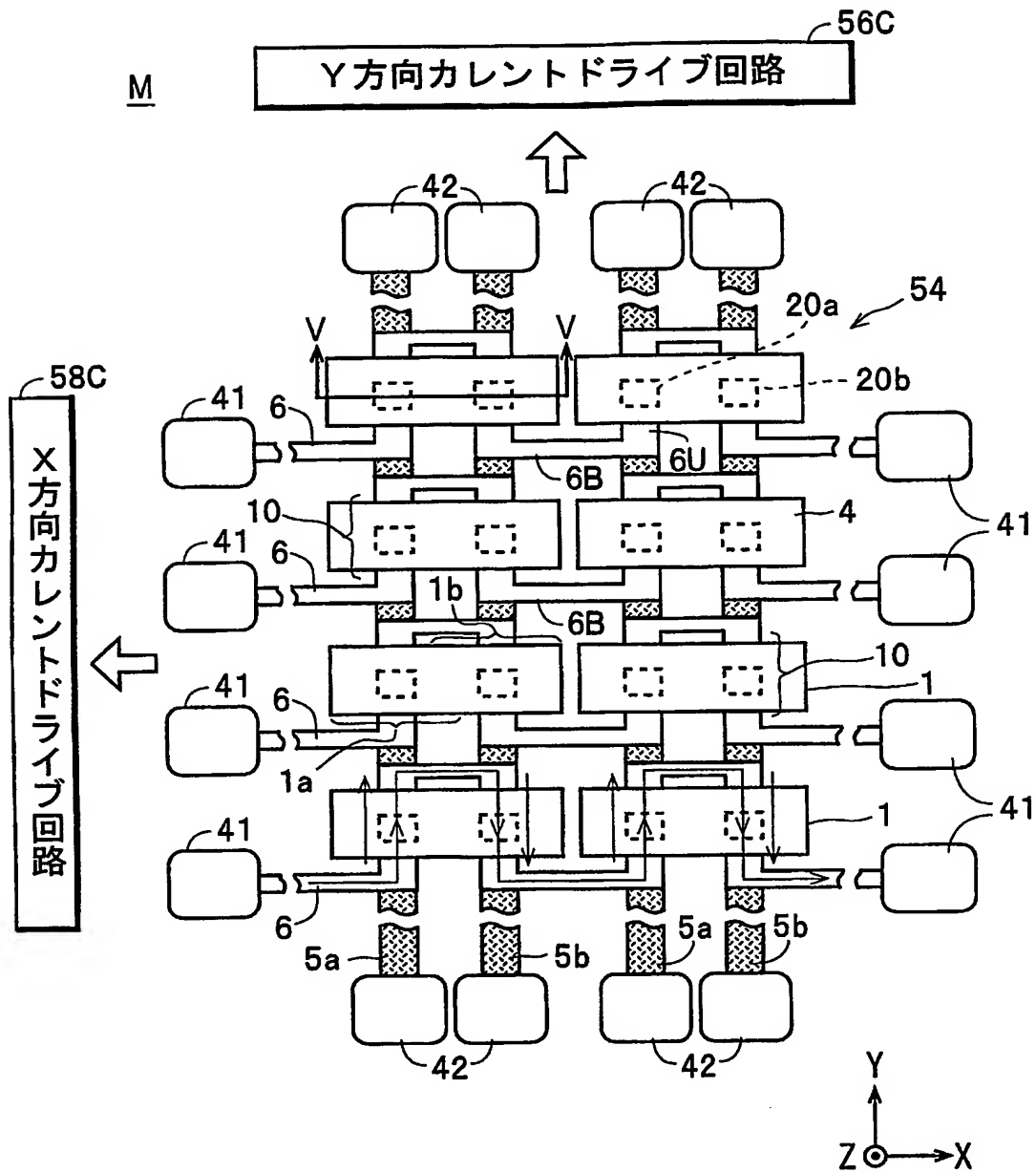
- 1 記憶セル
- 1 a, 1 b 記憶素子
- 2 a, 2 b 第 1 の磁性層
- 3 a, 3 b トンネルバリア層
- 4, 4 a, 4 b 環状磁性層
- 5 a, 5 b 書込ビット線 (複数の導線)
- 6 書込ワード線 (複数の導線)
- 8 a, 8 b 第 2 の感磁層
- 12 読出ワード線
- 13 a, 13 b 読出ビット線
- 14 a, 14 b 第 1 の感磁層
- 34 共有部位

M 磁気メモリデバイス

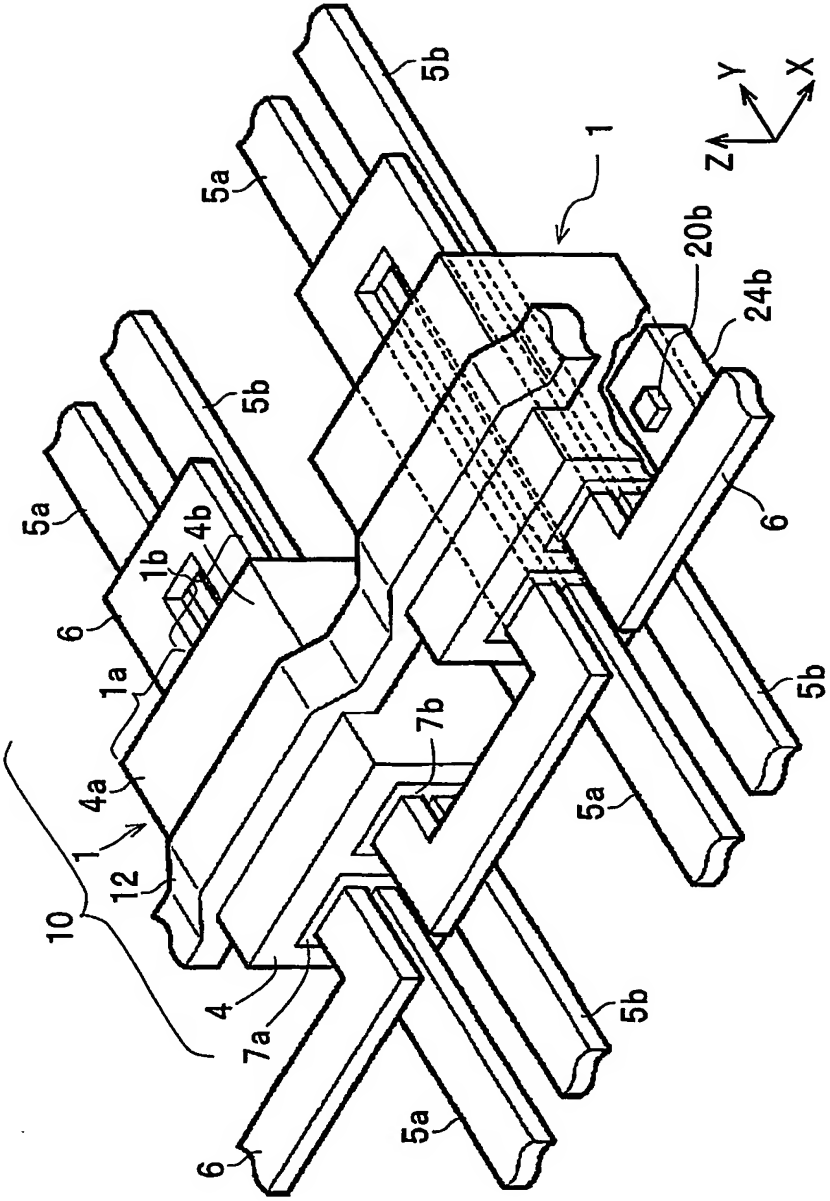
S 2 0 a, S 2 0 b TMR膜（積層体）



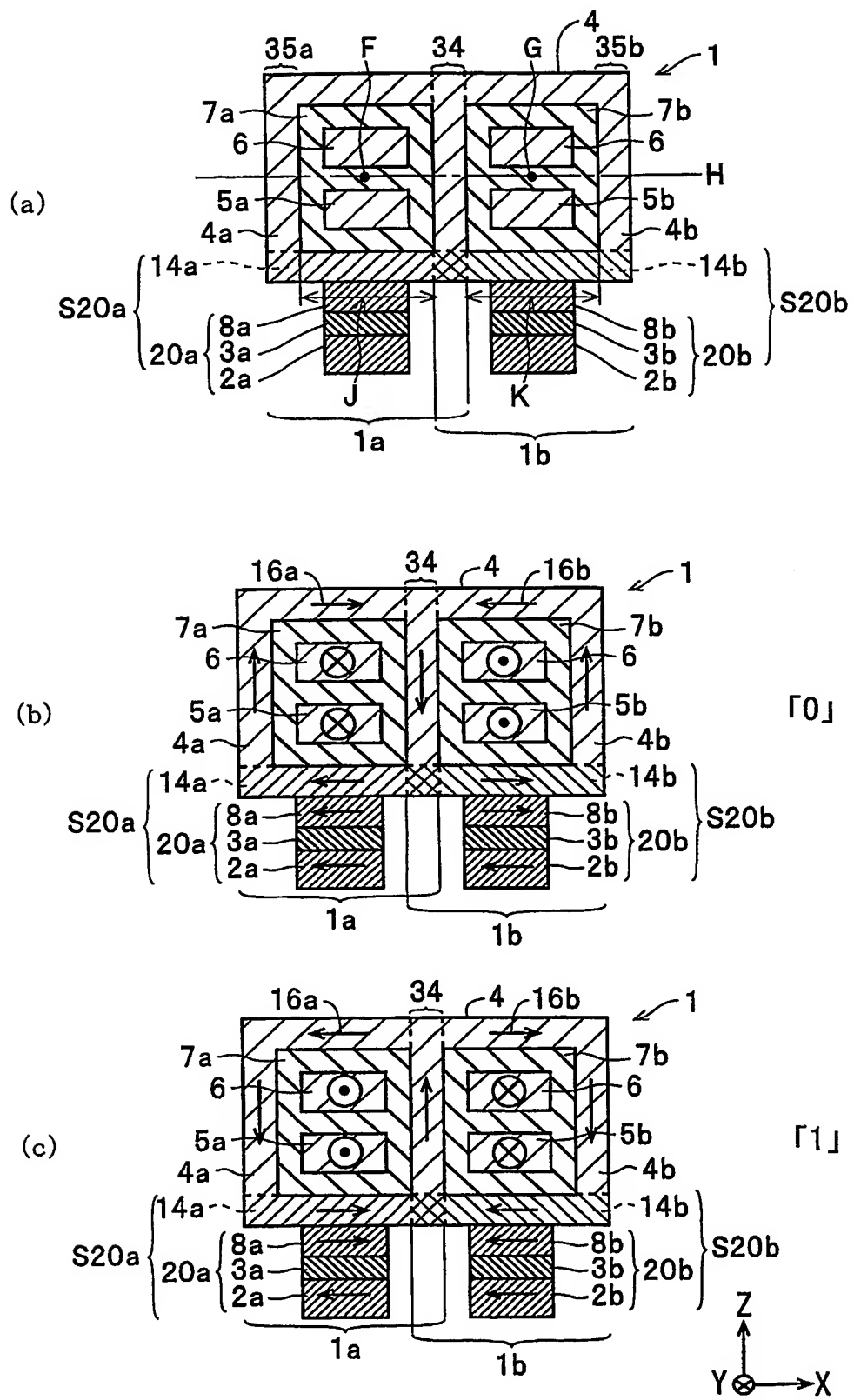
【図2】



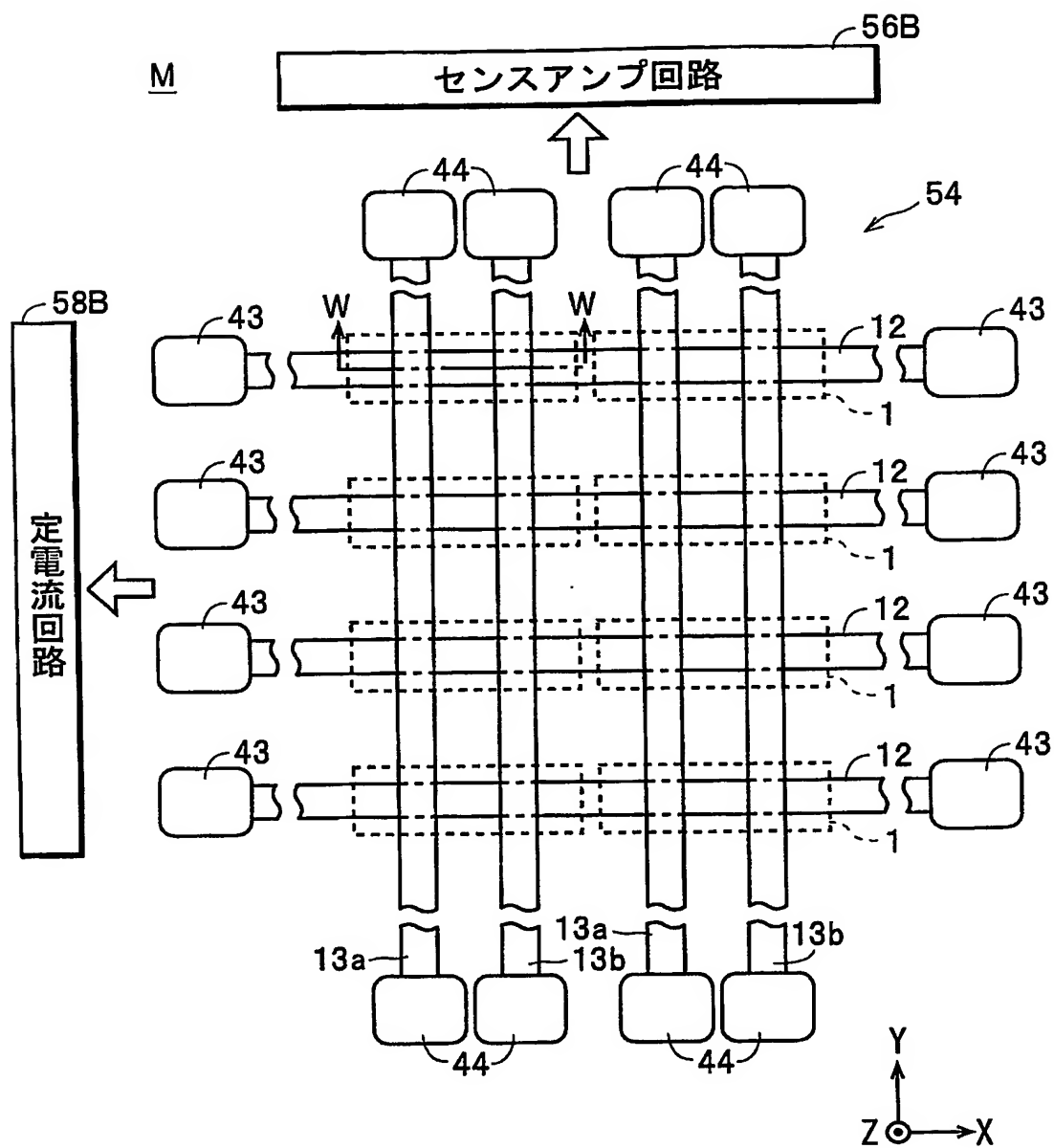
【図 3】



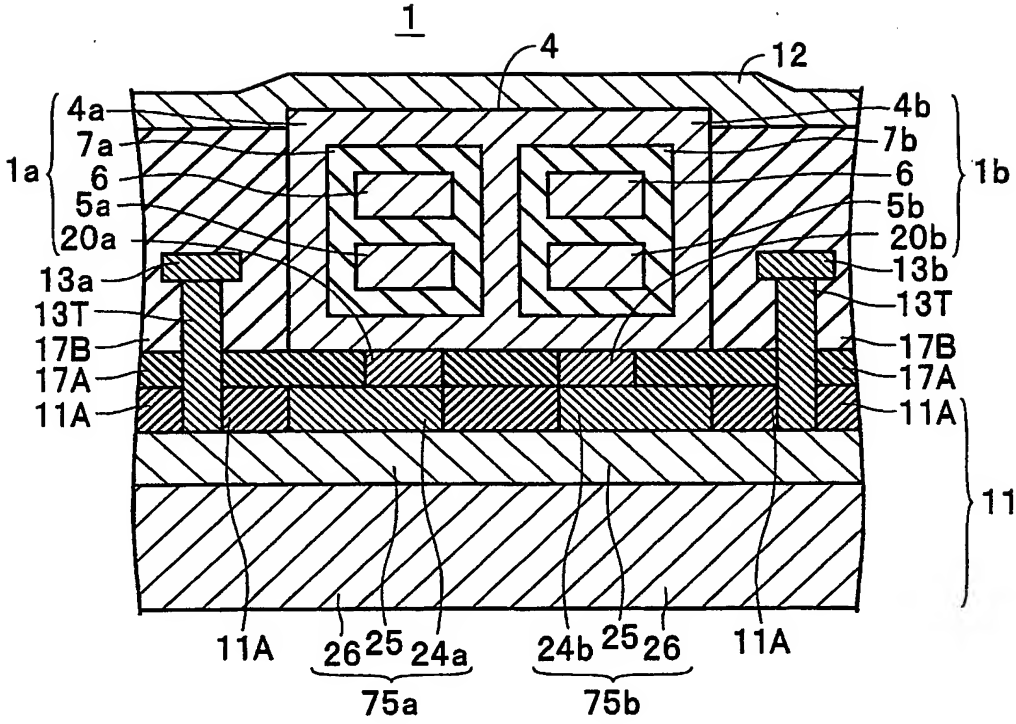
【図 4】



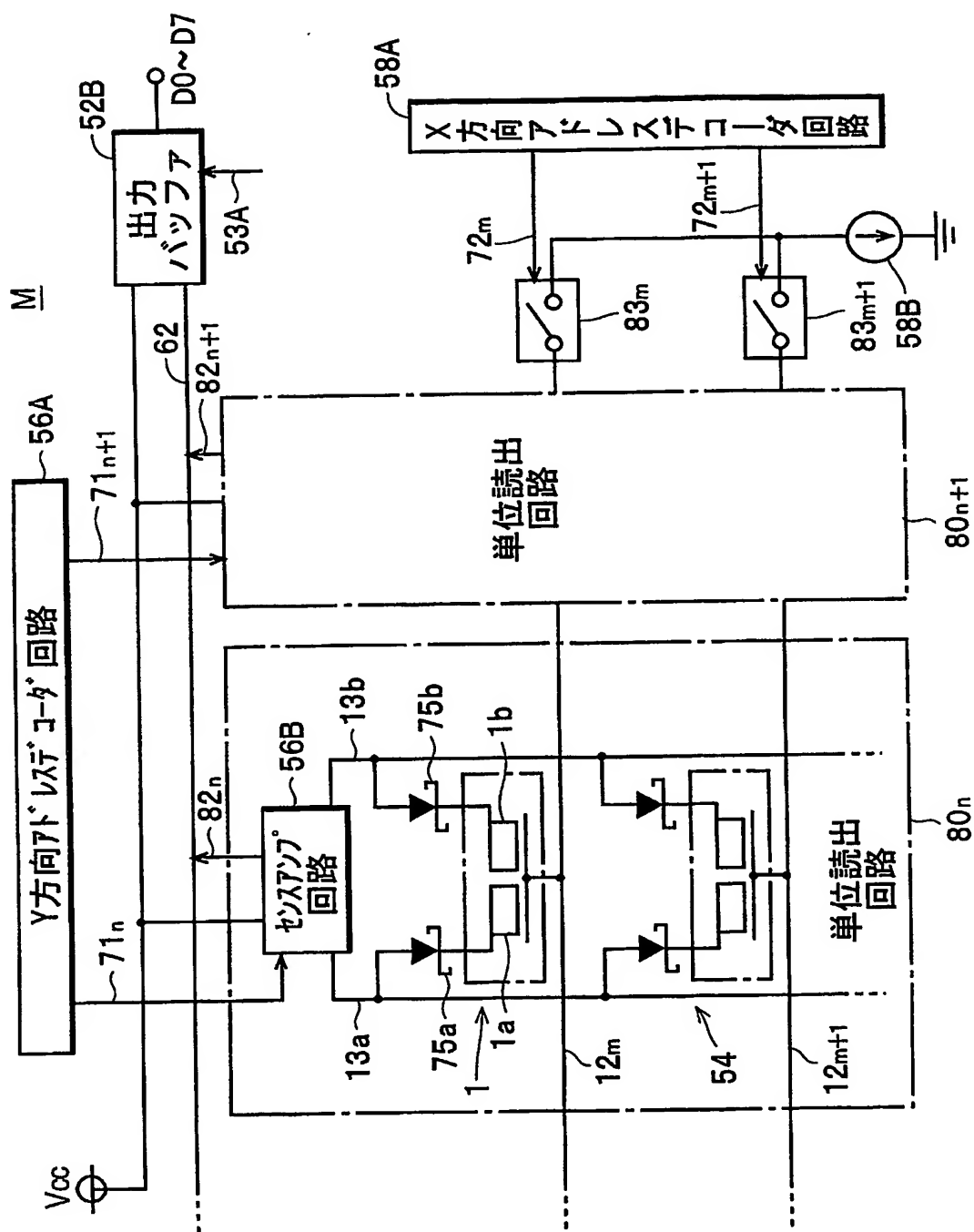
【図 5】



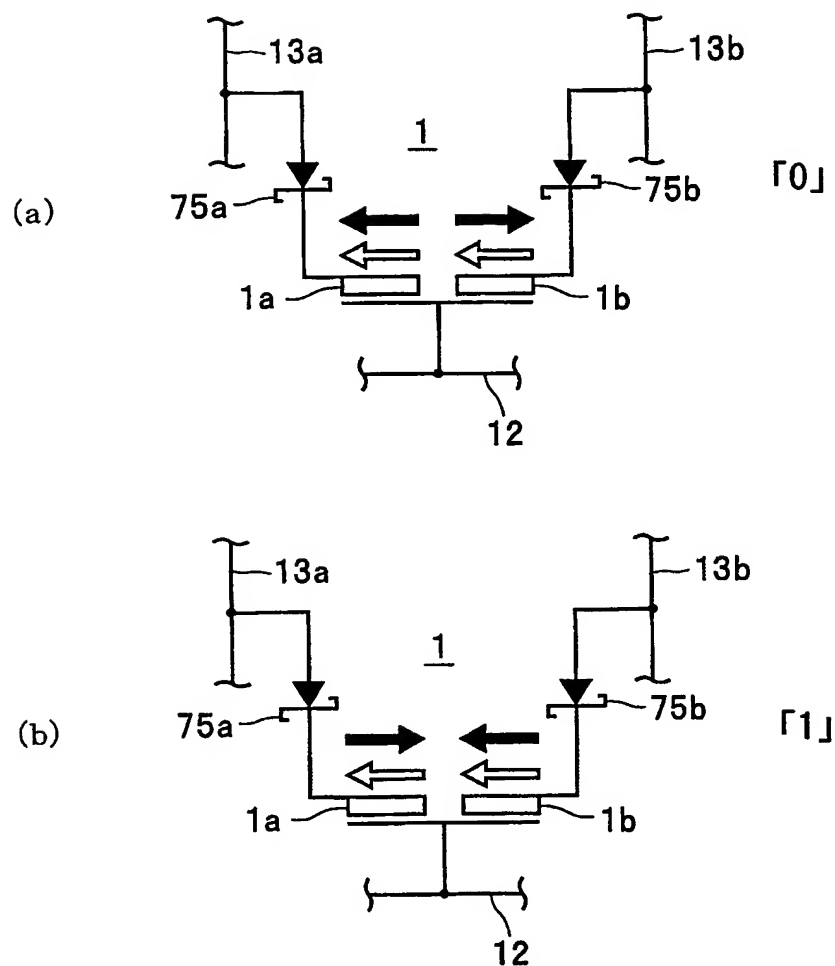
【図 6】



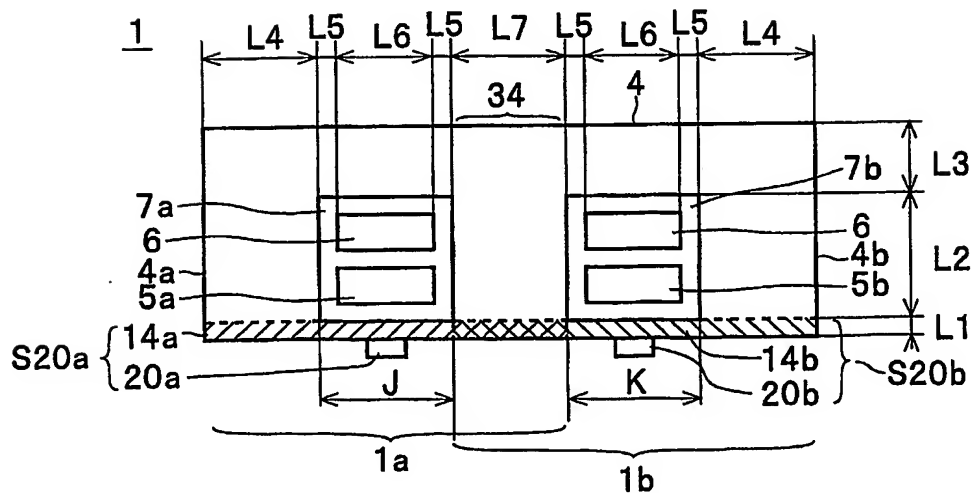
【図7】



【図 8】



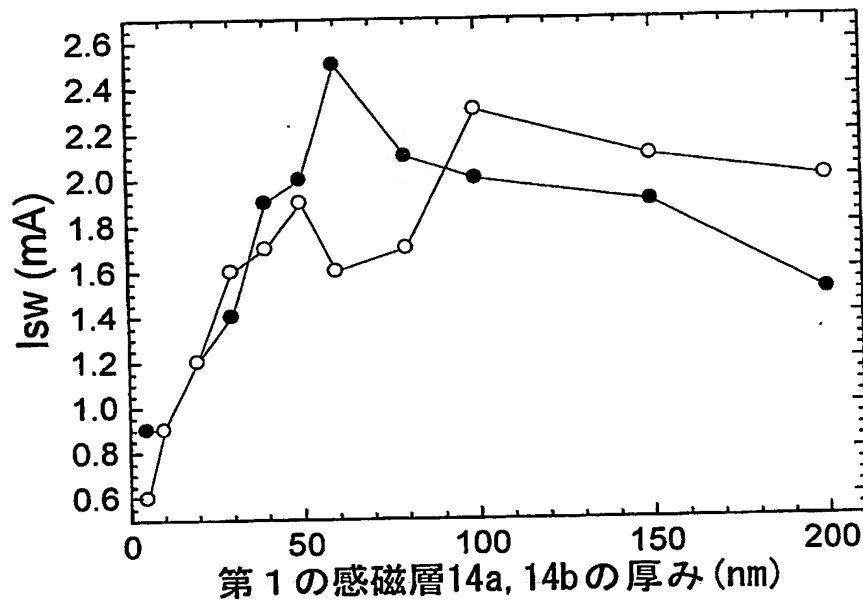
【図 9】



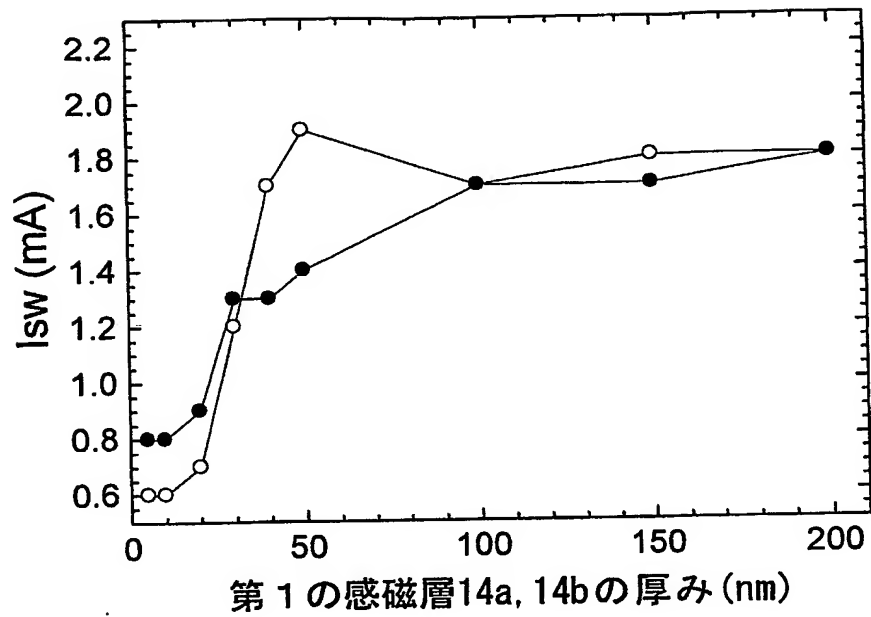
【図 10】

		環状磁性層 4 の形態		
		タイプ A	タイプ B	タイプ C
寸 法 (nm)	L1	5 ~ 200	5 ~ 200	5 ~ 200
	L2	400	400	200
	L3	200	200	100
	L4	250	350	120
	L5	20	20	20
	L6	160	360	80
	L7	300	500	120

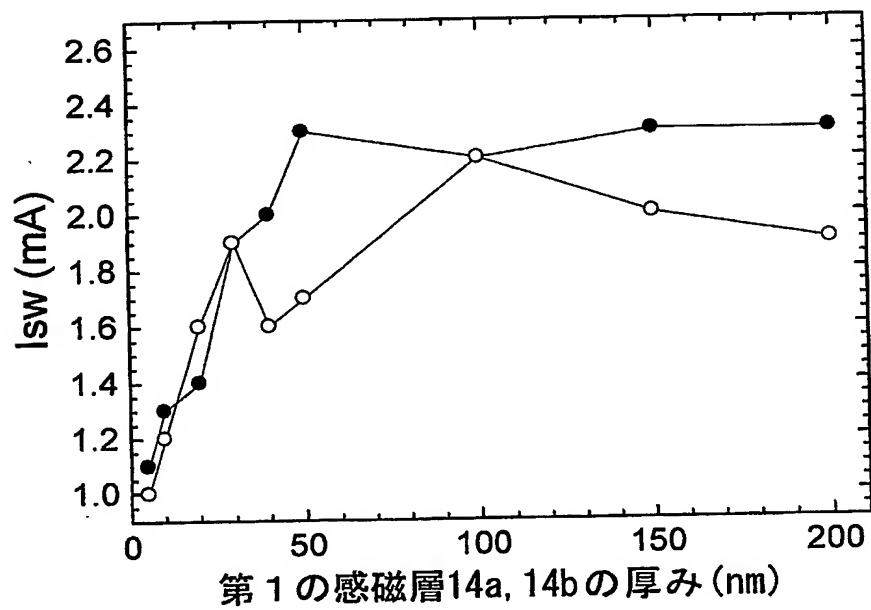
【図 11】



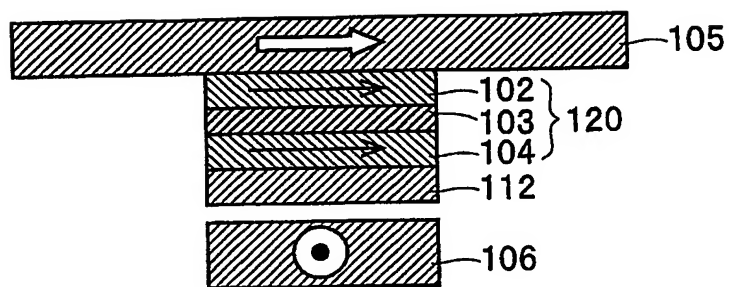
【図12】



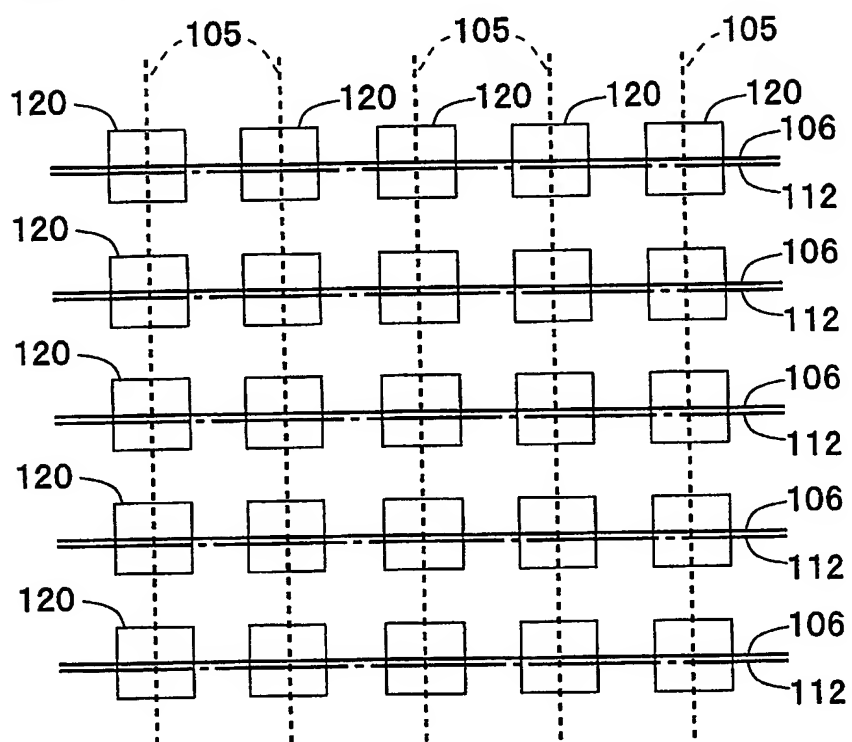
【図13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 効率良く感磁層の磁化方向を変え得る磁気記憶セルを提供する。

【解決手段】 磁界を発生させる書込ビット線 5 a によって貫かれる環状磁性層 4 a と、環状磁性層 4 a における磁界によって磁化方向が変化する第 1 の感磁層 1 4 a およびその表面に配設された磁気抵抗効果発現体 2 0 a を含んで積層面に垂直な方向に電流が流れるように構成された TMR 膜 S 2 0 a とを備え、第 1 の感磁層 1 4 a は、その厚みが 0.5 nm 以上 40 nm 以下の範囲内に規定されている。

【選択図】 図 9

特願 2 0 0 3 - 2 0 8 1 6 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 6 7]

1. 変更年月日

2 0 0 3 年 6 月 2 7 日

[変更理由]

名称変更

住 所

東京都中央区日本橋 1 丁目 1 3 番 1 号

氏 名

T D K 株式会社